

LUMINOUS DEVICE AND DRIVING METHOD THEREFOR

Publication number: JP2002169511

Publication date: 2002-06-14

Inventor: TANADA YOSHIFUMI

Applicant: SEMICONDUCTOR ENERGY LAB

Classification:

- **International:** *H05B33/08; G09F9/30; G09G3/20; G09G3/30; H01L27/32; H01L51/50; H05B33/14; H05B33/02; G09F9/30; G09G3/20; G09G3/30; H01L27/28; H01L51/50; H05B33/14; (IPC1-7): G09G3/30; G09F9/30; G09G3/20; H05B33/08; H05B33/14*

- **European:**

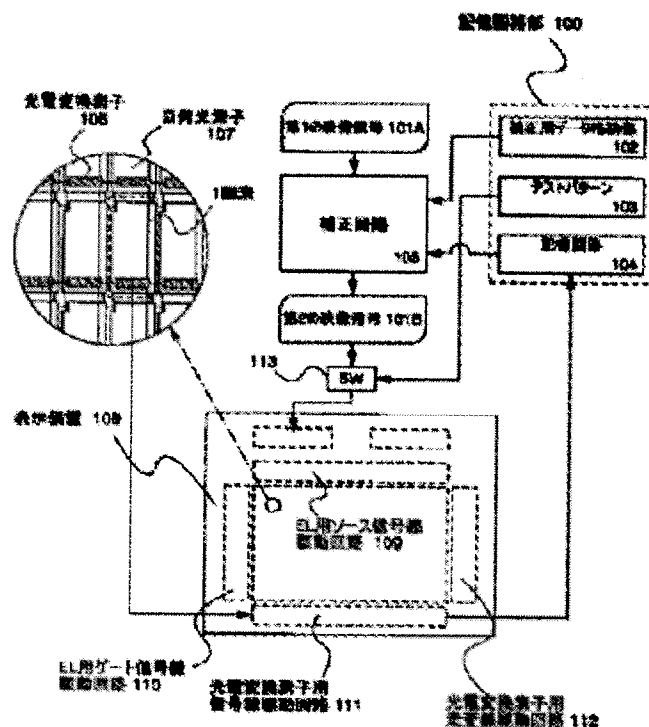
Application number: JP20010278722 20010913

Priority number(s): JP20010278722 20010913; JP20000283584 20000919

Report a data error here

Abstract of JP2002169511

PROBLEM TO BE SOLVED: To provide a luminous device which has a function of correcting an decrease in luminance of luminous elements in a pixel part and is able to display a uniform screen without uneven luminance. **SOLUTION:** When a power source is switched on, the luminous device displays a specific test pattern, and detects the luminance by a photoelectric transducing element 106 arranged on each pixel and stores it in a storage circuit 104. Following it, a correction circuit 195 corrects a 1st video signal 101A according to the deficiency from the standard luminance (luminance of a normal luminous element at the same gradation stored beforehand), and obtains a 2nd video signal 101B. A display 108 displays a video using the 2nd video signal 101B.



Data supplied from the esp@cenet database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-169511

(P2002-169511A)

(43) 公開日 平成14年6月14日 (2002.6.14)

(51) Int.Cl. ⁷	識別記号	F I	デマコト* (参考)
G 0 9 G 3/30		G 0 9 G 3/30	K 3 K 0 0 7
G 0 9 F 9/30	3 6 5	G 0 9 F 9/30	3 6 5 Z 5 C 0 8 0
G 0 9 G 3/20	6 2 4	G 0 9 G 3/20	6 2 4 B 5 C 0 9 4
	6 4 1		6 4 1 P
	6 4 2		6 4 2 B

審査請求 未請求 請求項の数24 ○ L (全 23 頁) 最終頁に続く

(21) 出願番号 特願2001-278722(P2001-278722)

(22) 出願日 平成13年9月13日 (2001.9.13)

(31) 優先権主張番号 特願2000-283584(P2000-283584)

(32) 優先日 平成12年9月19日 (2000.9.19)

(33) 優先権主張国 日本 (J P)

(71) 出願人 000153878

株式会社半導体エネルギー研究所

神奈川県厚木市長谷398番地

(72) 発明者 棚田 好文

神奈川県厚木市長谷398番地 株式会社半

導体エネルギー研究所内

Fターム(参考) 3K007 AB00 AB02 AB05 AB17 BA06

CA01 CB01 DA00 DB03 EB00

FA01

5C080 AA06 BB05 DD05 DD29 EE28

FF11 JJ01 JJ02 JJ06 KK02

KK43 KK47

5C094 AA03 AA53 AA55 BA03 BA27

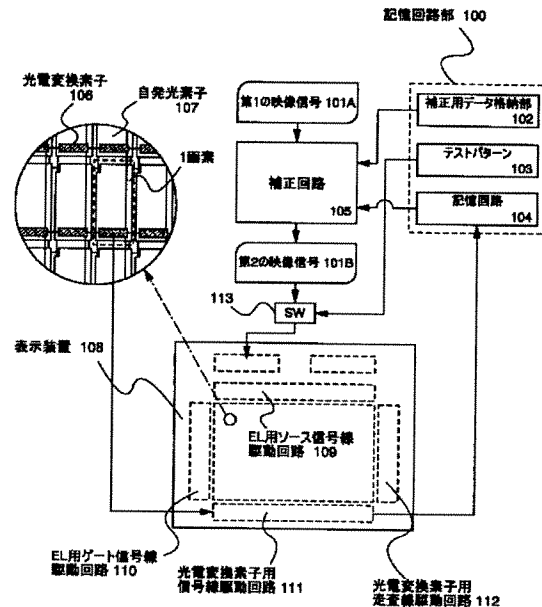
BA31 CA19 EA04 EA07

(54) 【発明の名称】 自発光装置およびその駆動方法

(57) 【要約】

【課題】 画素部における自発光素子の輝度低下を補正する機能を有し、輝度ムラのない均一な画面表示の出来る自発光装置を提供する。

【解決手段】 電源投入時、特定のテストパターンを表示して、各画素に配置された光電変換素子106によって輝度を検出し、記憶回路104に格納する。続いて、基準輝度（あらかじめ記憶されている、同階調における正常な自発光素子の輝度）からの不足分に応じて、補正回路105は第1の映像信号101Aを補正し、第2の映像信号101Bを得る。第2の映像信号101Bによって、表示装置108において映像の表示を行う。



【特許請求の範囲】

【請求項1】映像信号を入力して映像を表示する自発光装置において、
各画素の自発光素子の輝度を検出する手段と、
前記輝度を記憶する手段と、
前記記憶された輝度に応じて前記映像信号を補正する手段とを有し、
前記補正された映像信号を用いて映像を表示することを特徴とする自発光装置。

【請求項2】映像信号を入力して映像を表示する自発光装置において、
各画素の自発光素子の輝度を検出する光電変換素子と、
前記光電変換素子によって検出された前記各画素の自発光素子の輝度を記憶する記憶回路と、
前記記憶された各画素の自発光素子の輝度に応じて第1の映像信号の補正を行い、第2の映像信号を出力する信号補正部と、を有する輝度補正装置と、
前記第2の映像信号によって映像の表示を行う表示装置と、を有することを特徴とする自発光装置。

【請求項3】映像信号を入力して映像を表示する自発光装置において、
各画素の自発光素子の輝度を検出する、 $j \times k$ 個 (j 、 k は自然数)の光電変換素子と、
前記光電変換素子によって検出された前記各画素の自発光素子の輝度を記憶する記憶と、
前記記憶された各画素の自発光素子の輝度に応じて第1の映像信号の補正を行い、第2の映像信号を出力する信号補正部と、を有する輝度補正装置と、
前記第2の映像信号によって映像の表示を行う、 $j \times k$ 画素を有する表示装置と、を有することを特徴とする自発光装置。

【請求項4】請求項1乃至請求項3のいずれか1項に記載の自発光装置において、
 n ビット (n は自然数、 $n \geq 2$) 階調の表示を行う自発光装置は、 $n+m$ ビット (m は自然数)の信号処理を行う駆動回路を有し、
輝度の低下を生じていない自発光素子を有する画素は、 n ビットの映像信号によって階調の表示を行い、
輝度の低下を生じた自発光素子を有する画素には、 n ビットの映像信号に対し、 m ビットの信号を用いて映像信号の補正を行うことによって、
前記輝度の低下を生じていない自発光素子と、前記輝度の低下を生じた自発光素子との間で等しい輝度を得ることを特徴とする自発光装置。

【請求項5】請求項1乃至請求項3のいずれか1項に記載の自発光装置において、
前記補正手段は、輝度の低下を生じた自発光素子を有する画素に書き込まれる映像信号には、輝度の低下の生じていない自発光素子を有する画素に書き込まれる映像信号に対し、相対的に加算処理を行うことを特徴とする自

発光装置。

【請求項6】請求項1乃至請求項3のいずれか1項に記載の自発光装置において、
前記補正手段は、表示範囲内において、輝度の低下の小さい自発光素子を有する画素あるいは輝度の低下を生じていない自発光素子を有する画素に書き込まれる映像信号には、最も輝度の低下の大きい自発光素子を有する画素に書き込まれる映像信号に対し、相対的に減算処理を行うことを特徴とする自発光装置。

【請求項7】請求項1乃至請求項6のいずれか1項に記載の自発光装置において、
前記記憶手段はスタティック型記憶回路 (SRAM) を用いることを特徴とする自発光装置。

【請求項8】請求項1乃至請求項6のいずれか1項に記載の自発光装置において、
前記記憶手段はダイナミック型記憶回路 (DRAM) を用いることを特徴とする自発光装置。

【請求項9】請求項1乃至請求項6のいずれか1項に記載の自発光装置において、
前記記憶手段は強誘電体記憶回路 (FeRAM) を用いることを特徴とする自発光装置。

【請求項10】請求項1乃至請求項6のいずれか1項に記載の自発光装置において、
前記記憶手段は電氣的に書き込み、読み出し、消去が可能な不揮発性メモリ (EEPROM) を用いることを特徴とする自発光装置。

【請求項11】請求項1乃至請求項10のいずれか1項に記載の自発光装置において、
前記輝度検出手段として、前記光電変換素子にはPN型フォトダイオードを用いることを特徴とする自発光装置。

【請求項12】請求項1乃至請求項10のいずれか1項に記載の自発光装置において、
前記輝度検出手段として、前記光電変換素子にはPIN型フォトダイオードを用いることを特徴とする自発光装置。

【請求項13】請求項1乃至請求項10のいずれか1項に記載の自発光装置において、
前記輝度検出手段として、前記光電変換素子にはアバランシェ型フォトダイオードを用いることを特徴とする自発光装置。

【請求項14】請求項1乃至請求項13のいずれか1項に記載の自発光装置において、
前記検出手段と、前記記憶手段と、前記補正手段とは、前記自発光装置の外部の回路によって構成されることを特徴とする自発光装置。

【請求項15】請求項1乃至請求項13のいずれか1項に記載の自発光装置において、
前記検出手段と、前記記憶手段と、前記補正手段とは、前記自発光装置と同一の絶縁体上に形成されることを特

微とする自発光装置。

【請求項16】請求項1乃至請求項15のいずれか1項に記載の自発光装置において、

前記自発光装置はELディスプレイであることを特徴とする自発光装置。

【請求項17】請求項1乃至請求項15のいずれか1項に記載の自発光装置において、

前記自発光装置はPDPディスプレイであることを特徴とする自発光装置。

【請求項18】請求項1乃至請求項15のいずれか1項に記載の自発光装置において、

前記自発光装置はFEDディスプレイであることを特徴とする自発光装置。

【請求項19】映像信号を入力して映像を表示する自発光装置の駆動方法であって、

各画素の自発光素子の輝度を検出し、

前記検出した各画素の自発光素子の輝度を記憶し、

前記記憶された、各画素の自発光素子の輝度と基準輝度との差に応じて第1の映像信号の補正を行い、第2の映像信号を出力し、

前記第2の映像信号を用いて映像の表示を行うことを特徴とする自発光装置の駆動方法。

【請求項20】映像信号を入力して映像を表示する自発光装置の駆動方法であって、

光電変換素子によって各画素の自発光素子の輝度を検出し、

前記光電変換素子によって検出された前記各画素の自発光素子の輝度を、記憶回路において記憶し、

前記記憶回路に記憶された、各画素の自発光素子の輝度と基準輝度との差に応じて、信号補正部において第1の映像信号の補正を行い、第2の映像信号を出力し、

前記第2の映像信号を用いて映像の表示を行うことを特徴とする自発光装置の駆動方法。

【請求項21】請求項19または請求項20に記載の自発光装置の駆動方法において、

nビット（nは自然数、 $n \geq 2$ ）階調の表示を行う自発光装置は、 $n+m$ ビット（mは自然数）の信号処理を行う駆動回路を有し、

輝度の低下を生じていない自発光素子を有する画素は、

nビットの映像信号によって階調の表示を行い、

輝度の低下を生じた自発光素子を有する画素には、nビットの映像信号に対し、mビットの信号を用いて映像信号の補正を行うことによって、

前記輝度の低下を生じていない自発光素子と、前記輝度の低下を生じた自発光素子との間で等しい輝度を得ることを特徴とする自発光装置の駆動方法。

【請求項22】請求項19乃至請求項21のいずれか1項に記載の自発光装置の駆動方法において、

前記補正手段は、輝度の低下を生じた自発光素子を有する画素に書き込まれる映像信号には、輝度の低下の生じ

ていない自発光素子を有する画素に書き込まれる映像信号に対し、相対的に加算処理を行うことを特徴とする自発光装置の駆動方法。

【請求項23】請求項19乃至請求項21のいずれか1項に記載の自発光装置の駆動方法において、

前記補正手段は、表示範囲内において、輝度の低下の小さい自発光素子を有する画素あるいは輝度の低下を生じていない自発光素子を有する画素に書き込まれる映像信号には、最も輝度の低下の大きい自発光素子を有する画素に書き込まれる映像信号に対し、相対的に減算処理を行うことを特徴とする自発光装置の駆動方法。

【請求項24】請求項1乃至請求項23のいずれか1項に記載の、自発光装置または自発光装置の駆動方法を用いることを特徴とする電子機器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、自発光装置、特にアクティブマトリクス型自発光装置に関する。その中で特に、画素部に有機エレクトロルミネッセンス（EL）素子を始めとする自発光素子を用いたアクティブマトリクス型自発光装置に関する。

【0002】

【従来の技術】近年、ガラス基板等の絶縁体上に半導体薄膜を形成した自発光装置、特に薄膜トランジスタ（以下TFTと記す）を用いたアクティブマトリクス型自発光装置の普及が顕著となっている。TFTを使用したアクティブマトリクス型自発光装置は、マトリクス状に配置された画素部に数十万から数百万のTFTを有しており、各画素の電荷を制御することによって画像の表示を行っている。

【0003】さらに最近の技術として、画素を構成する画素TFTの他に、画素部の周辺にTFTを用いて駆動回路を同時形成するポリシリコンTFTに関する技術が発展してきており、装置の小型化、低消費電力化に大いに貢献し、それに伴って、近年その応用分野の拡大が著しいモバイル機器の表示部等に、自発光装置は不可欠なデバイスとなってきている。

【0004】また、LCD（液晶ディスプレイ）に替わるフラットディスプレイとして、有機EL等の自発光材料を応用した自発光装置が注目を集めており、活発な研究が行われている。

【0005】図15（A）に、通常の自発光装置の概略を示す。本明細書においては、自発光素子の一例として、有機EL素子（以降、単にEL素子と記す）を用いて説明する。絶縁体（例えばガラス等）の基板1501の中央に画素部1504が配置されている。画素部1504には、ソース信号線、ゲート信号線に加え、EL素子に電流を供給するための電流供給線1505が配置されている。画素部1504の上側には、ソース信号線を制御するための、ソース信号線駆動回路1502が、画

素部1504の左右には、ゲート信号線を制御するための、ゲート信号線駆動回路1503が配置されている。なお、図15(A)においては、ゲート信号線駆動回路1503は、画素部の左右両側に配置されているが、これは片側のみに配置しても良い。ただし、両側配置とすることにより、駆動効率、信頼性の面から見て望ましい。ソース信号線駆動回路1502およびゲート信号線駆動回路1503への信号の入力は、外部からフレキシブルプリント基板(Flexible Print Circuit:FPC)1506を経て行われる。

【0006】図15(A)内、点線枠1500で囲まれた部分の拡大図を図15(B)に示す。画素部は、この図に示すように各画素がマトリクス状に配置されている。図15(B)中、さらに点線枠1510で囲まれた部分が1画素であり、ソース信号線1511、ゲート信号線1512、電流供給線1513、スイッチング用TFT1514、EL駆動用TFT1515、保持容量1516、EL素子1517等を有している。

【0007】次に、同図15(B)を参照して、アクティブマトリクス型自発光装置の動作について説明する。まず、ゲート信号線1512が選択されると、スイッチング用TFT1514のゲート電極に電圧が印加され、スイッチング用TFT1514が導通状態になる。すると、ソース信号線1511の信号(電圧信号)が保持容量1516に電荷として蓄積される。保持容量1516に蓄積された電荷によって、EL駆動用TFT1515のゲート・ソース間電圧 V_{GS} が決定し、保持容量1516の電圧に応じた電流がEL駆動用TFT1515とEL素子1517に流れる。その結果、EL素子1517が発光する。

【0008】EL素子1517の輝度、つまりEL素子1517を流れる電流量は、EL駆動用TFT1515のソース・ドレイン間を流れる電流量に等しく、EL駆動用TFT1515の V_{GS} によって制御出来る。 V_{GS} は、保持容量1516の電圧であり、それはソース信号線1511に入力される信号(電圧)である。つまり、ソース信号線1511に入力される信号(電圧)を制御することによって、EL素子1517の輝度を制御する。最後に、ゲート信号線1512を非選択状態にして、スイッチング用TFT1514のゲートを閉じ、スイッチング用TFT1514を非導通状態にする。その時、保持容量1516に蓄積された電荷は保持される。よって、EL駆動用TFT1515の V_{GS} は、そのまま保持され、 V_{GS} に応じた電流が、EL駆動用TFT1515を経由してEL素子1517に流れ続ける。

【0009】EL素子の駆動等に関しては、SID99 Digest:P372:"Current Status and future of Light-Emitting Polymer Display Driven by Poly-Si TFT", ASIA DISPLAY98:P217:"High Resolution Light Emitting Polymer Display Driven by Low Temperature Polysili-

con Thin Film Transistor with Integrated Driver", Euro Display99 Late News:P27:"3.8 Green OLED with Low Temperature Poly-Si TFT"などに報告されている。

【0010】次に、EL素子1517の階調表示の方式について述べる。前述のような、EL駆動用TFT1515のゲート・ソース間電圧 V_{GS} によってEL素子1517の輝度を制御するアナログ階調方式は、EL駆動用TFT1515の電流特性のばらつきに弱いという欠点がある。つまり、EL駆動用TFT1515の電流特性が異なると、同じゲート電圧を印可しても、EL駆動用TFT1515とEL素子1517を流れる電流値が変わってしまう。その結果、EL素子1517の輝度、つまり階調が変わってしまう。

【0011】そこで、EL駆動用TFT1515の特性ばらつきの影響を小さくし、均一な画面を得るために、デジタル階調方式と呼ぶ方式が考案されている。この方式は、EL駆動用TFT1515のゲート・ソース間電圧の絶対値 $|V_{GS}|$ が点灯開始電圧以下の状態(ほとんど電流が流れない)と、輝度飽和電圧よりも大きい状態(最大に近い電流が流れている)、という2つの状態で階調を制御する方式である。この場合、EL駆動用TFT1515の $|V_{GS}|$ を輝度飽和電圧よりも十分大きくしておけば、EL駆動用TFT1515の電流特性がばらついても、電流値は I_{MAX} に近くなる。よって、EL駆動用TFT1515のばらつきの影響を非常に小さく出来る。以上のように、ON状態(最大電流が流れているため明るい)とOFF状態(電流が流れないため暗い)の2つの状態で階調を制御するため、この方式はデジタル階調方式と呼ばれている。

【0012】しかしながら、デジタル階調方式の場合、この方法では2階調しか表示できない。そこで、別の方式と組み合わせて、多階調化を図る技術が複数提案されている。

【0013】多階調化を図る方式の一つとして、時間階調方式がある。時間階調方式とは、EL素子1517が点灯している時間を制御して、その点灯時間の長短によって階調を出す方式である。つまり、1フレーム期間を、複数のサブフレーム期間に分割し、点灯しているサブフレーム期間の数や長さを制御して、階調を表現している。

【0014】図9を参照する。図9は、時間階調方式のタイミングチャートを簡単に示している。フレーム周波数を60[Hz]とし、時間階調方式によって3ビットの階調を得る例である。

【0015】図9(A)に示すように、1フレーム期間を、階調ビット数分のサブフレーム期間に分割する。ここでは3ビットであるので、3つのサブフレーム期間 $SF_1 \sim SF_3$ に分割している。1つのサブフレーム期間は、さらにアドレス期間($T_{a\#}$)とサステイン(点

灯) 期間 (T_{s_i}) に分けられる (図 20 (B))。 SF_1 でのサステイン期間を T_{s_1} と呼ぶことにする。 SF_2 、 SF_3 の場合においても同様に、 T_{s_2} 、 T_{s_3} と呼ぶことにする。 アドレス期間 $T_{a_1} \sim T_{a_3}$ は、それぞれ 1 フレーム分の映像信号を画素に書き込む期間であるので、いずれのサブフレーム期間においても長さが等しい。 サステイン期間は、ここでは $T_{s_1} : T_{s_2} : T_{s_3} = 2^2 : 2^1 : 2^0 = 4 : 2 : 1$ というように、2 のべき乗の比を有する。

【0016】 階調表示の方法としては、 T_{s_1} から T_{s_3} までのサステイン (点灯) 期間において、EL 素子を点灯させるか点灯させないかのいずれかの状態に制御することにより、1 フレーム期間内の総点灯時間の長短によって輝度を制御している。この例では、点灯するサステイン (点灯) 期間の組み合わせにより、図 9 (B) に示すように、 $2^3 = 8$ 通りの点灯時間の長さを決定することが出来るため、0 (全黒表示) ～ 7 (全白表示) までの 8 階調を表示できる。時間階調方式においては、以上のようにして階調表現を行う。もちろん、カラー表示の自発光装置においても、同様の階調表現が可能である。

【0017】 さらに階調数を増やす場合は、1 フレーム期間の分割数を増やしていけばよい。1 フレーム期間を n 個のサブフレームに期間に分割した場合、サステイン (点灯) 期間の長さの比率は $T_{s_1} : T_{s_2} : \dots : T_{s_{(n-1)}} : T_{s_n} = 2^{(n-1)} : 2^{(n-2)} : \dots : 2^1 : 2^0$ となり、 2^n 通りの階調を表現することが可能となる。なお、サブフレーム期間の順番は、 $SF_1 \sim SF_n$ までがランダムに現れるようにしても良い。なお、必ずしもサステイン (点灯) 期間の長さの比を 2 のべき乗としなくても、階調表現は可能である。

【0018】

【発明が解決しようとする課題】 ところで、EL 素子等の自発光素子を用いた自発光装置に関する問題点について述べる。前述のように、EL 素子が点灯している期間は、常に電流が供給され、EL 素子内を電流が流れている。これにより、長時間の点灯によって、EL 素子自体の性質が劣化し、これを原因として輝度特性が変化する。つまり、劣化した EL 素子と劣化していない EL 素子とでは、同じ電流供給源から同じ電圧で電流を供給したとしても、その輝度に差が生ずることになる。

【0019】 具体例を挙げて説明する。図 10 (A) は、自発光装置を用いた携帯端末機器等のディスプレイ画面であり、操作用のアイコン等 1001 が表示されている。通常、このような機器の用途では、図 10 (A) に示すような静止画表示の割合が大きい。このとき、背景よりも明るい色 (階調) でアイコン等が表示されているとすると、アイコン等が表示されている部分の画素における EL 素子は、背景表示部分の EL 素子よりも長い時間点灯していることになるため、より速く劣化が進行する。

【0020】 このような条件で EL 素子の劣化が進行したとする。劣化後の自発光装置の表示例を図 10 (B) (C) に示す。まず、図 10 (B) のような黒表示の場合であるが、EL 素子を始めとする自発光素子は、素子に電圧が印加されていない状態、すなわち EL 素子が点灯しないことで黒を表現することになるので、黒表示の時には劣化は問題とはなりにくい。しかし、白表示の場合には、長時間の点灯によって劣化した EL 素子 (この場合はアイコン等を表示していた部分の EL 素子) においては、同じ電流を供給したとしても、図 10 (C) において 1011 で示すように、輝度が不足してムラが生ずる。

【0021】 この輝度ムラを解決するには、劣化した EL 素子に印加する電圧を上げる方法があるが、通常、自発光装置においては電流供給線は単一配線で構成されており、また、マトリクス状に配置された中での特定の 1 画素における EL 素子への印加電圧を変えるための回路を画素部で構成するのは容易でない。さらに、前述のように、EL 駆動用 TFT のばらつき等があるため、このような補正方法は望ましいとは言えない。

【0022】 前述の問題点を解決するための方法としては、特願 2000-273139 に記載の技術がある。図 18 を用いて以下に簡単に説明する。

【0023】 図 18 は、特願 2000-273139 に記載の、劣化補正機能を有した自発光装置における装置の概略図である。この方法によると、各画素の点灯時間または、点灯時間と点灯強度とを、第 1 の映像信号 1801A をカウンタ 1802 にて定期的にサンプリングすることによって検出し、メモリ 1803、1804 に記憶する。その検出値の累積と、あらかじめ補正データ格納部 1806 に記憶してある EL 素子の輝度特性の経時変化のデータとを参照して、EL 素子の劣化した画素を駆動するための映像信号を、補正回路 1805 における演算によって補正し、第 2 の映像信号 1801B を得る。この第 2 の映像信号 1801B をもって、映像の表示を行う。これにより、一部の画素における EL 素子が劣化した表示装置 1807 における輝度ムラを補正し、均一な画面を得られるとしている。

【0024】 ただし、前述の方法によると、ある時点における EL 素子の劣化の状態を直接検出しているわけではなく、あくまでもその素子の累積点灯時間または、累積点灯時間と点灯強度から劣化の状態を推算している。ここでいう点灯強度は、EL 素子自体の点灯強度ではなく、入力されるデジタル映像信号の階調を読むことによって得ており、前もって用意されている補正用データに従って映像信号の補正を行うため、すなわち駆動時間に起因しない劣化には対応できないという欠点がある。例えば、温度変化等による劣化から生じた輝度低下には、累積点灯時間のみのカウントでは対応できない。また、素子自体の初期の特性ばらつきによる輝度不良もまた、

前述の方法では対応出来ない。

【0025】

【本発明の目的】よって、本発明においては、EL素子の劣化の原因に依存しない方法によって劣化の状態の検出を行い、もって映像信号を補正し、輝度ムラのない均一な画面表示が長期間可能な自発光装置の提供を目的とする。

【0026】

【課題を解決するための手段】前述の問題点を解決するために、本発明においては以下のような手段を講じた。

【0027】本発明の、輝度補正機能を有する自発光装置においては、各画素はEL素子と光電変換素子とを有し、ある階調にて表示中のEL素子の輝度を、各画素に配置された光電変換素子によって検出する。続いて、光電変換素子で検出された値と、あらかじめ記憶してあるEL素子の同じ階調における基準輝度とを比較することによって輝度の不足分を演算し、補正回路によって映像信号の階調データの補正が行われた後に表示装置に入力される。表示装置は補正後の映像信号によって映像の表示を行う。以上の方法で、EL素子の輝度不良が生じた自発光装置においても、輝度ムラを生ずることなく、均一な表示を保つことが出来る。

【0028】以下に、本発明の自発光装置の構成について記載する。

【0029】本発明の自発光装置の第1の特徴は、映像信号を入力して映像を表示する自発光装置において、各画素の自発光素子の輝度を検出する手段と、前記輝度を記憶する手段と、前記記憶された輝度に応じて前記映像信号を補正する手段とを有し、前記補正された映像信号を用いて映像を表示することを特徴としている。

【0030】本発明の自発光装置の第2の特徴は、映像信号を入力して映像を表示する自発光装置において、各画素の自発光素子の輝度を検出する光電変換素子と、前記光電変換素子によって検出された前記各画素の自発光素子の輝度を記憶する記憶回路と、前記記憶された各画素の自発光素子の輝度に応じて第1の映像信号の補正を行い、第2の映像信号を出力する信号補正部と、を有する輝度補正装置と、前記第2の映像信号によって映像の表示を行う表示装置と、を有することを特徴としている。

【0031】本発明の自発光装置の第3の特徴は、映像信号を入力して映像を表示する自発光装置において、各画素の自発光素子の輝度を検出する、 $j \times k$ 個 (j, k は自然数)の光電変換素子と、前記光電変換素子によって検出された前記各画素の自発光素子の輝度を記憶する記憶と、前記記憶された各画素の自発光素子の輝度に応じて第1の映像信号の補正を行い、第2の映像信号を出力する信号補正部と、を有する輝度補正装置と、前記第2の映像信号によって映像の表示を行う、 $j \times k$ 画素を有する表示装置と、を有することを特徴としている。

【0032】本発明の自発光装置の第4の特徴は、本発明の自発光装置において、 n ビット (n は自然数、 $n \geq 2$)階調の表示を行う自発光装置は、 $n+m$ ビット (m は自然数)の信号処理を行う駆動回路を有し、輝度の低下を生じていない自発光素子を有する画素は、 n ビットの映像信号によって階調の表示を行い、輝度の低下を生じた自発光素子を有する画素には、 n ビットの映像信号に対し、 m ビットの信号を用いて映像信号の補正を行うことによって、前記輝度の低下を生じていない自発光素子と、前記輝度の低下を生じた自発光素子との間で等しい輝度を得ることを特徴としている。

【0033】本発明の自発光装置の第5の特徴は、本発明の自発光装置において、前記補正手段は、輝度の低下を生じた自発光素子を有する画素に書き込まれる映像信号には、輝度の低下の生じていない自発光素子を有する画素に書き込まれる映像信号に対し、相対的に加算処理を行うことを特徴としている。

【0034】本発明の自発光装置の第6の特徴は、本発明の自発光装置において、前記補正手段は、表示範囲内において、輝度の低下の小さい自発光素子を有する画素あるいは輝度の低下を生じていない自発光素子を有する画素に書き込まれる映像信号には、最も輝度の低下の大きい自発光素子を有する画素に書き込まれる映像信号に対し、相対的に減算処理を行うことを特徴としている。

【0035】本発明の自発光装置の第7の特徴は、本発明の自発光装置において、前記記憶手段はスタティック型記憶回路 (SRAM)を用いることを特徴としている。

【0036】本発明の自発光装置の第8の特徴は、本発明の自発光装置において、前記記憶手段はダイナミック型記憶回路 (DRAM)を用いることを特徴としている。

【0037】本発明の自発光装置の第9の特徴は、本発明の自発光装置において、前記記憶手段は強誘電体記憶回路 (FeRAM)を用いることを特徴としている。

【0038】本発明の自発光装置の第10の特徴は、本発明の自発光装置において、前記記憶手段は電気的に書き込み、読み出し、消去が可能な不揮発性メモリ (EEPROM)を用いることを特徴としている。

【0039】本発明の自発光装置の第11の特徴は、本発明の自発光装置において、前記輝度検出手段として、前記光電変換素子にはPN型フォトダイオードを用いることを特徴としている。

【0040】本発明の自発光装置の第12の特徴は、本発明の自発光装置において、前記輝度検出手段として、前記光電変換素子にはPIN型フォトダイオードを用いることを特徴としている。

【0041】本発明の自発光装置の第13の特徴は、本発明の自発光装置において、前記輝度検出手段として、前記光電変換素子にはアバランシェ型フォトダイオード

を用いることを特徴としている。

【0042】本発明の自発光装置の第14の特徴は、本発明の自発光装置において、前記検出手段と、前記記憶手段と、前記補正手段とは、前記自発光装置の外部の回路によって構成されることを特徴としている。

【0043】本発明の自発光装置の第15の特徴は、本発明の自発光装置において、前記検出手段と、前記記憶手段と、前記補正手段とは、前記自発光装置と同一の絶縁体上に形成されることを特徴としている。

【0044】本発明の自発光装置の第16の特徴は、本発明の自発光装置において、前記自発光装置はELディスプレイであることを特徴としている。

【0045】本発明の自発光装置の第17の特徴は、本発明の自発光装置において、前記自発光装置はPDPディスプレイであることを特徴としている。

【0046】本発明の自発光装置の第18の特徴は、本発明の自発光装置において、前記自発光装置はFEDディスプレイであることを特徴としている。

【0047】本発明の自発光装置の駆動方法の第1の特徴は、映像信号を入力して映像を表示する自発光装置の駆動方法であって、各画素の自発光素子の輝度を検出し、前記検出した各画素の自発光素子の輝度を記憶し、前記記憶された、各画素の自発光素子の輝度と基準輝度との差に応じて第1の映像信号の補正を行い、第2の映像信号を出力し、前記第2の映像信号を用いて映像の表示を行うことを特徴としている。

【0048】本発明の自発光装置の駆動方法の第2の特徴は、映像信号を入力して映像を表示する自発光装置の駆動方法であって、光電変換素子によって各画素の自発光素子の輝度を検出し、前記光電変換素子によって検出された前記各画素の自発光素子の輝度を、記憶回路において記憶し、前記記憶回路に記憶された、各画素の自発光素子の輝度と基準輝度との差に応じて、信号補正部において第1の映像信号の補正を行い、第2の映像信号を出力し、前記第2の映像信号を用いて映像の表示を行うことを特徴としている。

【0049】本発明の自発光装置の駆動方法の第3の特徴は、本発明の自発光装置の駆動方法において、 n ビット(n は自然数、 $n \geq 2$)階調の表示を行う自発光装置は、 $n+m$ ビット(m は自然数)の信号処理を行う駆動回路を有し、輝度の低下を生じていない自発光素子を有する画素は、 n ビットの映像信号によって階調の表示を行い、輝度の低下を生じた自発光素子を有する画素には、 n ビットの映像信号に対し、 m ビットの信号を用いて映像信号の補正を行うことによって、前記輝度の低下を生じていない自発光素子と、前記輝度の低下を生じた自発光素子との間で等しい輝度を得ることを特徴としている。

【0050】本発明の自発光装置の駆動方法の第4の特徴は、本発明の自発光装置の駆動方法において、前記補

正手段は、輝度の低下を生じた自発光素子を有する画素に書き込まれる映像信号には、輝度の低下の生じていない自発光素子を有する画素に書き込まれる映像信号に対し、相対的に加算処理を行うことを特徴としている。

【0051】本発明の自発光装置の駆動方法の第5の特徴は、本発明の自発光装置の駆動方法において、前記補正手段は、表示範囲内において、輝度の低下の小さい自発光素子を有する画素あるいは輝度の低下を生じていない自発光素子を有する画素に書き込まれる映像信号には、最も輝度の低下の大きい自発光素子を有する画素に書き込まれる映像信号に対し、相対的に減算処理を行うことを特徴としている。

【0052】

【発明の実施の形態】図1を参照する。図1は、本発明の輝度補正機能を有する自発光装置のブロック図を示している。本発明の基幹である輝度補正装置は、記憶回路部100、補正回路105、光電変換素子106等からなり、記憶回路部100は、補正用データ格納部102、テストパターン103等を格納しており、また、検出された輝度を記憶する記憶回路104を有する。光電変換素子106は、自発光素子107の発光面の一部に重なるようにして配置されている。ここで、光電変換素子106のサイズが大きい場合、自発光素子107の発光面を圧迫することになるため、そのサイズはできるだけ小さくすることが望ましい。自発光素子107からの出射光を光電変換した後の信号は微弱なものとなるため、オペアンプ等の増幅回路を経由して電圧振幅を得る。

【0053】表示装置108におけるソース信号線駆動回路の回路図を図14(A)に示す。ここでは、デジタル映像信号に対応した表示装置を例としている。ソース信号線駆動回路は、シフトレジスタ(SR)1401、第1のラッチ回路(LAT1)1402、第2のラッチ回路(LAT2)1403等を有する。1404は画素、1405は、図1に示した輝度補正装置である。

【0054】各部の動作について説明する。クロック信号(CLK)、スタートパルス(SP)にしたがって、シフトレジスタからサンプリングパルスが順次出力される。第1のラッチ回路では、サンプリングパルスのタイミングに従って、デジタル映像信号の保持を行う。図14(A)に示すように、この時点では既に映像信号は補正が完了し、第2の映像信号となっている。第1のラッチ回路において、1水平期間分の保持が終了すると、ラッチパルスが出力されて第2のラッチ回路へのデジタル映像信号の転送が行われる。その後、第2のラッチ回路から画素への書き込みが行われる。同時に、再びシフトレジスタからのサンプリングパルスにしたがって、第1のラッチ回路ではデジタル映像信号の保持が行われる。

【0055】続いて、輝度補正装置全体の動作について説明する。まず、自発光装置に用いるEL素子につい

て、ある階調信号の入力に対する輝度を、その基準輝度として補正用データ格納部102にあらかじめ記憶させておく。各画素のEL素子は、この基準輝度からのズレに従って、映像信号の補正が行われる。また、この基準輝度は、ある1階調に限定したものでなくともよく、複数の階調において基準輝度をそれぞれ記憶させておいても良い。

【0056】次に、テストパターンを表示装置に入力し、画面の表示を行う。このとき、テストパターンは無地の中間調表示あるいは白表示等が望ましい。そして、前述した基準輝度は、その階調における基準輝度である。補正用データ格納部102には、基準輝度の他に、あるビット数における1階調あたりの輝度変化量もまた記憶されている。ここで検出された結果は、一旦記憶回路104に記憶される。その後、テストパターンに従って、画素部でEL素子が点灯している間に、各画素に設けられた光電変換素子によってその輝度を検出する。例えば、あるEL素子が何らかの原因によって劣化を生じた場合、通常はその輝度が低下する。よって、検出した輝度と基準輝度との間には、同じ階調信号による表示であっても、輝度の差が生ずる。その輝度の差が、現在使用しているデジタル映像信号の何階調分かを演算し、各画素でその階調分だけ、第1の映像信号101Aに補正を加え、第2の映像信号101Bを得、表示装置に入力する。

【0057】記憶回路部100の構成として、補正用データ格納部102、テストパターン103には、フラッシュメモリ等を始めとする不揮発性のメモリを用いる必要がある。また、記憶回路104については、前述のように、電源の投入ごとに常に輝度の検出結果が更新されるため、揮発性のものを用いれば良い。揮発性メモリとしては、スタティック型メモリ（SRAM）、ダイナミック型メモリ（DRAM）、強誘電体メモリ（FRAM）等を用いて良い。ただし、本発明としては、これらの記憶回路の構成については特に限定しない。

【0058】光電変換素子106による輝度検出の手順は、望ましくは通常の画像表示時に常に検出して記憶回路104の更新を行い、リアルタイムでの映像信号の補正を行うのが望ましいが、光電変換素子106の実際の動作を考えると、時間的に困難であるため、方法の1つとしては、自発光装置の電源投入時に、前述の一連の動作を行うといった例が挙げられる。無論、光電変換素子として応答が速いものを用いることができるのであれば、第1の映像信号と、当該第1の映像信号を入力して得られる映像の表示中にリアルタイムに検出される輝度とを比較することによって、EL素子の輝度低下の程度を知ることが出来るので、映像の表示中に補正動作を行うことも出来る。

【0059】なお、本発明の自発光装置に用いる光電変換素子としては、微小、高速応答性、安定性、入射光に

対する線形性、高検出感度等が求められる。これらの要求から、本発明の自発光装置においては、フォトダイオードを用いることが望ましい。特に、PN接合フォトダイオード、PIN接合フォトダイオードは、後に実施例にて説明するが、プロセス中で形成が容易であり、微小形成が可能であるため、特に望ましいといえる。なお、その他のフォトダイオードとして、アバランシェ型フォトダイオード等も挙げられるが、本発明においては、これらフォトダイオードのうち、いずれのものをを用いて構成しても良い。

【0060】また、テストパターンと通常のデジタル映像信号の入力の切り替えには、本実施形態で示した図においては、スイッチ113を用いているが、特に限定せず、他の方法によっても良い。

【0061】

【実施例】以下に本発明の実施例について記述する。

【0062】[実施例1]

【0063】劣化したEL素子において不足した輝度を、映像信号レベルで補正する方法の1つとして、入力されるデジタル映像信号にある補正値を加算し、実質的に数階調上の信号に変換することによって、正常なEL素子と同等の輝度を達成する方法が挙げられる。これを回路設計で最も簡単に実現するには、上乗せ用の階調を処理出来るだけの回路をあらかじめ用意しておけばよい。具体的には、例えば本発明の輝度補正機能を有する6ビットデジタル階調（64階調）仕様の自発光装置の場合、補正を行うための上乗せ用として1ビット分の処理能力を追加し、実質7ビットデジタル階調（128階調）として設計、作成し、通常の動作においては、下位6ビットを使用しておき、EL素子に劣化が生じた場合には、通常のデジタル映像信号に補正値を加算し、その加算分の信号処理は、前述の上乗せ用1ビットを用いて行う。この場合、最上位ビット（Most Significant Bit: MSB）は信号補正用としてのみ用いられ、実際の表示階調は6ビットである。

【0064】[実施例2]本実施例においては、実施例1とは異なったデジタル映像信号の補正方法について説明する。

【0065】図1および図2を参照する。図2(A)は、図1における表示装置108の画素の一部を示している。なお、簡単のため、ここでは画素部に配置された光電変換素子については図示していない。

【0066】ここで、画素201～203の3画素について考える。まず、画素201は、劣化の生じていない画素であり、画素202、203はいずれも、各々ある程度の劣化を生じているとする。このとき、劣化の程度が画素202よりも画素203の方が大きいとすると、当然ながら劣化に伴う輝度の低下も大きくなる。つまり、ある中間調を表示すると、図2(B)のように輝度ムラが生ずる。画素201の輝度に対し、画素202の

輝度は低くなり、さらに画素203の輝度は低くなる。

【0067】次に、実際の補正動作について説明する。まず、加算処理による輝度の補正について説明する。

【0068】まず、ある階調信号によって点灯するEL素子の輝度をあらかじめ測定し、基準輝度としたものと、あるデジタル映像信号1階調あたりの輝度変化量とを、補正用データ格納部102に記憶しておく。続いて、あるテストパターンによる表示を行い、画面内の各画素について、光電変換素子106によって輝度を検出、信号に変換する。基準輝度と各画素における輝度の検出結果は、補正回路105に入力される。このとき、各画素における輝度の検出結果は、一旦記憶回路104に記憶された後、読み出しによって補正回路105に入力される。

【0069】その後、補正回路105において、入力された各数値から演算を行い、各画素に書き込むデジタル映像信号の補正量を決定し、実際に補正を行う。一例を図2(C)に示す。ここで、基準輝度Aに対し、画素201の輝度が B_1 、画素202の輝度が B_2 、画素203の輝度が B_3 であったとする。ここで、デジタル映像信号の補正幅は、基準輝度(A)と検出輝度($B_1 \sim B_3$)の差をとり、その差を単位階調あたりの輝度変化量(X)で除したもので求められる。ここでは、図2(C)に示したように、画素201では補正量が“0”、画素202では補正量が“1”、画素203では補正量が“2”となる。輝度の差が1階調以内の場合は、それぞれ近似して補正量を決定する。この場合、例えば0.5階調分の輝度を境界として、切り上げまたは切り捨てを選択しても良いし、いずれかに統一した処理を行うようにしても良い。

【0070】補正回路105に入力された第1の映像信号101Aは、前述の方法で各画素における補正幅を決定し、逐次階調信号に補正信号を加えることによって輝度の補正を行う。図2(D)(E)に示すように、各画素に入力されるデジタル映像信号に、求められた補正幅の分だけ階調を上乗せし、正常なEL素子と同等の輝度を得る。このようにして補正が完了した第2の映像信号101Bは、表示装置108へと入力され、映像の表示を行う。

【0071】続いて、減算処理による補正方法について述べる。図1、図3を参照する。図3(A)(B)については、図2(A)(B)と同様であるので、ここでは説明を省略する。

【0072】前述した加算処理と同様、各画素の輝度を光電変換素子によって検出し、基準輝度とともに補正回路に読み込んでデジタル映像信号の補正を行う。このとき、基準輝度とするのは、画素部において最も劣化の進んだと思われる(最も輝度の低い)画素における輝度である。この基準輝度Cに対し、画素301の輝度が B_1 、画素302の輝度が B_2 、画素303の輝度が B_3

であったとする。ここで、デジタル映像信号の補正幅は、基準輝度(C)と、各画素における検出輝度($B_1 \sim B_3$)の差をとり、その差を単位階調あたりの輝度変化量(X)で除したもので求められる。図3(C)で示したように、画素301では補正量が“-2”、画素302では補正量が“-1”、画素303では、補正量が“0”となる。輝度の差が1階調以内の場合は、それぞれ近似して補正量を決定する。この場合、例えば0.5階調分の輝度を境界として、切り上げまたは切り捨てを選択しても良いし、いずれかに統一した処理を行うようにしても良い。

【0073】補正回路105に入力された第1の映像信号101Aは、前述の方法で各画素における補正幅を決定し、逐次階調信号から補正量分だけデジタル映像信号の階調を下げることによって輝度の補正を行う。図2(D)(E)に示すように、各画素に入力されるデジタル映像信号から、求められた補正幅の分だけ階調を落とし、最も輝度の低くなっているEL素子と同等の輝度に抑えられる。このようにして補正が完了した第2の映像信号101Bは、表示装置108へと入力される。

【0074】しかしながら、上述の手段によって補正を行うと、画面全体の輝度が数階調(オリジナルのデジタル映像信号による階調と、EL素子に劣化の生じていない画素に書き込まれる第2の映像信号による階調との差)分だけ低下することになる。よって同時に、図3(D)に示すように、電流供給線の電位を変化させることにより、EL素子の両極間の電圧 V_{EL} をやや高くしてやる($V_{EL1} + \delta \rightarrow V_{EL2}$)ことによって画面全体の輝度を補正することにより、図3(E)に示すように正常かつ均一な画面を得る。

【0075】前者の加算処理による補正の場合、デジタル映像信号の処理のみによって輝度ムラの補正が可能であるというのに対し、白表示における補正が利かない(具体的には、例えば6ビットデジタル映像信号として、“111111”が入力された場合、これ以上の加算が出来ない)という欠点がある。また、後者の減算処理による補正の場合、輝度補正のための電流供給線の電位制御が加わるが、加算処理による補正とは逆に、補正の利かない範囲が黒表示の範囲であるため、ほとんど影響がない(具体的には、例えば6ビットデジタル映像信号として、“000000”が入力された場合、これ以上の減算を行う必要なく、通常のEL素子と劣化したEL素子との間で正確な黒表示(単にEL素子を非点灯状態としておけばよい)が可能である。また、黒近辺の数階調も、表示装置の対応ビット数がある程度高ければほとんど問題とならない)という特徴がある。両者とも、多階調化に有利な方法である。

【0076】また例えば、ある階調を境界として、加算処理と減算処理の両方の補正方法を併用することで、双方のデメリットを補うことも有効な手段といえる。

【0077】一方、一旦電源を投入してテストパターンを表示し、各画素の輝度を検出した後は、映像信号の入力系統は通常のものに切り替わり（本明細書の例では、図1に示すスイッチ113が行う）、デジタル映像信号を入力して映像の表示を行う。

【0078】[実施例3]図4を用いて、図1に示した概略図における表示装置108の詳細を説明する。図4(A)は表示装置全体の概略図、図4(B)は画素部の等価回路図である。図4(A)において、基板400の中央部に、画素部405が配置されている。画素部405は、後で説明するが、EL素子、光電変換素子をそれぞれ有する画素406がマトリクス状に配置されている。画素部405の周囲には、EL用ソース信号線駆動回路401、EL用ゲート信号線駆動回路402、光電変換素子用信号線駆動回路403、光電変換素子用走査線駆動回路404が配置されている。本実施例では、各駆動回路を1つつ画素部の周囲に配置しているが、例えばEL用ソース信号線駆動回路401と光電変換素子用信号線駆動回路403、あるいはEL用ゲート信号線駆動回路402と光電変換素子用走査線駆動回路404を1つの回路に集積し、画素部に対向して両側配置とするなど、異なる回路配置でも良い。各駆動回路への信号および電源の供給は、FPC407を介して行われる。

【0079】図4(B)は、画素406を拡大したものである。1つの画素は、ソース信号線411、ゲート信号線412、スイッチング用TFT413、EL駆動用TFT414、保持容量415、EL素子416、電流供給線417、信号出力線418、リセット信号線419、走査線420、基準電源線421、リセット用TFT422、バッファ用TFT423、選択用TFT424、光電変換素子425によって構成される。ここで、保持容量415は、EL駆動用TFT414のゲート電極に与える電荷を保持するために配置しているが、必ずしも配置していなくても良い。

【0080】EL素子の点灯に関しては、前述したのでここでは省略する。各画素での輝度検出時における光電変換素子周辺の動作についてのみ述べる。走査線420に選択パルスが入力されると、選択用TFT424が導通状態となる。この状態で光電変換素子425に、EL素子416からの光が入射し、バッファ用TFT423が、光電変換素子425に蓄積された電荷に従って導通し、その輝度に伴った電気信号へと変換されて信号出力線418へと出力される。その後、信号線駆動回路403においてバッファ、オペアンプ等を用いて増幅され、電圧信号として得られる。その後、A/D変換等の手段を経て、補正回路へと読み込まれる。

【0081】[実施例4]本発明の輝度補正機能を有する自発光装置において、実施形態にて示した例(図1)では、輝度補正装置は表示装置108の外部に置かれ、デジタル映像信号(第1の映像信号)101Aはまず補正

回路105に入力されて直ちに補正が行われ、補正済みのデジタル映像信号(第2の映像信号)101Bが表示装置108にFPCを介して入力されていた。このような方法によるメリットとしては、各装置のユニット化による互換性の高さ、応用性の良さ等が挙げられるが、一方で、輝度補正装置および表示装置を同一基板上に一体形成することで、部品点数の大幅削減による低コスト化、省スペース化、高速駆動を実現しうる。ここでは、基板上のレイアウトは特に図示しないが、信号線等の配置、配線長等を考慮しつつ、ブロックごとに近接配置するのが望ましい。

【0082】[実施例5]本実施例では、本発明の自発光装置の画素部とその周辺に設けられる駆動回路部(ソース信号線側駆動回路、ゲート信号線側駆動回路、画素選択信号線側駆動回路)のTFTを同時に作製する方法について説明する。但し、説明を簡単にするために、駆動回路部に関しては基本単位であるCMOS回路を図示することとする。

【0083】図5(A)を参照する。まず、本実施例ではコーニング社の#7059ガラスや#1737ガラスなどに代表されるバリウムホウケイ酸ガラス、またはアルミノホウケイ酸ガラスなどのガラスからなる基板5000を用いる。なお、基板5000としては、透光性を有する基板であれば限定されず、石英基板を用いても良い。また、本実施例の処理温度に耐えうる耐熱性を有するプラスチック基板を用いてもよい。

【0084】次いで、基板5000上に酸化珪素膜、窒化珪素膜または酸化窒化珪素膜などの絶縁膜から成る下地膜5001を形成する。本実施例では下地膜5001として2層構造を用いるが、前記絶縁膜の単層膜または2層以上積層させた構造を用いても良い。下地膜5001の1層目としては、プラズマCVD法を用い、 SiH_4 、 NH_3 、及び N_2O を反応ガスとして成膜される酸化窒化珪素膜5001aを10~200[nm](好ましくは50~100[nm])形成する。本実施例では、膜厚50[nm]の酸化窒化珪素膜5001a(組成比 $\text{Si}=32\%$ 、 $\text{O}=27\%$ 、 $\text{N}=24\%$ 、 $\text{H}=17\%$)を形成した。次いで、下地膜5001の2層目としては、プラズマCVD法を用い、 SiH_4 、及び N_2O を反応ガスとして成膜される酸化窒化珪素膜5001bを50~200[nm](好ましくは100~150[nm])の厚さに積層形成する。本実施例では、膜厚100[nm]の酸化窒化珪素膜5001b(組成比 $\text{Si}=32\%$ 、 $\text{O}=59\%$ 、 $\text{N}=7\%$ 、 $\text{H}=2\%$)を形成した。

【0085】次いで、下地膜上に半導体層5002~5004を形成する。半導体層5002~5004は、非晶質構造を有する半導体膜を公知の手段(スパッタ法、LPCVD法、またはプラズマCVD法等)により成膜した後、公知の結晶化処理(レーザー結晶化法、熱結晶化法、またはニッケルなどの触媒を用いた熱結晶化法

等)を行って得られた結晶質半導体膜を所望の形状にパターニングして形成する。この半導体層5002~5004は、25~80[nm] (好ましくは30~60[nm])の厚さで形成する。結晶質半導体膜の材料に限定はないが、好ましくは珪素(シリコン)またはシリコンゲルマニウム($\text{Si}_x\text{Ge}_{1-x}$ ($x=0.0001\sim0.02$))合金などで形成すると良い。本実施例では、プラズマCVD法を用い、55[nm]の非晶質珪素膜を成膜した後、ニッケルを含む溶液を非晶質珪素膜上に保持させた。この非晶質珪素膜に脱水素化(500[°C]、1時間)を行った後、熱結晶化(550[°C]、4時間)を行い、さらに結晶化を改善するためのレーザーアニール処理を行って結晶質珪素膜を形成した。そして、この結晶質珪素膜から、フォトリソグラフィ法を用いたパターニング処理によって、半導体層5002~5004を形成した。

【0086】また、半導体層5002~5004を形成した後、TFETのしきい値を制御するために微量な不純物元素(ボロンまたはリン)のドーピングを行ってもよい。

【0087】また、レーザー結晶化法で結晶質半導体膜を作製する場合には、パルス発振型または連続発光型のエキシマレーザーやYAGレーザー、YVO₄レーザーを用いることができる。これらのレーザーを用いる場合には、レーザー発振器から放射されたレーザー光を光学系で線状に集光し半導体膜に照射する方法を用いると良い。結晶化の条件は実施者が適宜選択するものであるが、エキシマレーザーを用いる場合はパルス発振周波数30[Hz]とし、レーザーエネルギー密度を100~400[mJ/cm²] (代表的には200~300[mJ/cm²])とする。また、YAGレーザーを用いる場合にはその第2高調波を用いパルス発振周波数1~10kHzとし、レーザーエネルギー密度を300~600[mJ/cm²] (代表的には350~500[mJ/cm²])とすると良い。そして幅100~1000[μm]、例えば400[μm]で線状に集光したレーザー光を基板全面に渡って照射し、この時の線状レーザー光の重ね合わせ率(オーバーラップ率)を50~90[%]として行えばよい。

【0088】次いで、半導体層5002~5004を覆うゲート絶縁膜5005を形成する。ゲート絶縁膜5005はプラズマCVD法またはスパッタ法を用い、厚さを40~150[nm]として珪素を含む絶縁膜で形成する。本実施例では、プラズマCVD法により110[nm]の厚さで酸化窒化珪素膜(組成比Si=32[%]、O=59[%]、N=7[%]、H=2[%])で形成した。勿論、ゲート絶縁膜5005は酸化窒化珪素膜に限定されるものでなく、他の珪素を含む絶縁膜を単層または積層構造として用いても良い。

【0089】また、酸化珪素膜を用いる場合には、プラズマCVD法でTEOS (Tetraethyl Orthosilicate)

とO₂とを混合し、反応圧力40[Pa]、基板温度300~400[°C]とし、高周波(13.56[MHz])電力密度0.5~0.8[W/cm₂]で放電させて形成することができる。このようにして作製される酸化珪素膜は、その後400~500[°C]の熱アニールによりゲート絶縁膜として良好な特性を得ることができる。

【0090】次いで、ゲート絶縁膜5005上に膜厚20~100[nm]の第1の導電膜5006と、膜厚100~400[nm]の第2の導電膜5007とを積層形成する。本実施例では、膜厚30[nm]のTa₂N膜からなる第1の導電膜5006と、膜厚370[nm]のW膜からなる第2の導電膜5007を積層形成した。Ta₂N膜はスパッタ法で形成し、Taのターゲットを用い、窒素を含む雰囲気内でスパッタした。また、W膜は、Wのターゲットを用いたスパッタ法で形成した。その他に6フッ化タングステン(WF₆)を用いる熱CVD法で形成することもできる。いずれにしてもゲート電極として使用するためには低抵抗化を図る必要があり、W膜の抵抗率は20[μΩcm]以下にすることが望ましい。W膜は結晶粒を大きくすることで低抵抗率化を図ることができるが、W膜中に酸素などの不純物元素が多い場合には結晶化が阻害され高抵抗化する。従って本実施例では、高純度のW(純度99.9999[%])のターゲットを用いたスパッタ法で、さらに成膜時に気相中からの不純物の混入がないように十分配慮してW膜を形成することにより、抵抗率9~20[μΩcm]を実現することができた。

【0091】なお、本実施例では、第1の導電膜5006をTa₂N、第2の導電膜5007をWとしたが、特に限定されず、いずれもTa、W、Ti、Mo、Al、Cu、Cr、Ndから選ばれた元素、または前記元素を主成分とする合金材料若しくは化合物材料で形成してもよい。また、リン等の不純物元素をドーピングした多結晶珪素膜に代表される半導体膜を用いてもよい。また、Ag、Pd、Cuからなる合金を用いてもよい。また、第1の導電膜をTa膜で形成し、第2の導電膜をW膜とする組み合わせ、第1の導電膜をTi₂N膜で形成し、第2の導電膜をW膜とする組み合わせ、第1の導電膜を窒化タンタル(Ta₂N)膜で形成し、第2の導電膜をAl膜とする組み合わせ、第1の導電膜をTa₂N膜で形成し、第2の導電膜をCu膜とする組み合わせとしてもよい。

【0092】次に、図5(B)に示すようにフォトリソグラフィ法を用いてレジストからなるマスク5008を形成し、電極及び配線を形成するための第1のエッチング処理を行う。第1のエッチング処理では第1及び第2のエッチング条件で行う。本実施例では第1のエッチング条件として、ICP (Inductively Coupled Plasma: 誘導結合型プラズマ) エッチング法を用い、エッチング用ガスにCF₄とC₂H₂とO₂とを用い、それぞれのガス流量比を25/25/10[sccm]とし、1[Pa]の圧力でコイル型の電極に500[W]のRF(13.56[MH

z) 電力を投入してプラズマを生成してエッチングを行った。ここでは、松下電器産業(株)製のICPを用いたドライエッチング装置(Model E645-□ICP)を用いた。基板側(試料ステージ)にも150[W]のRF(13.56[MHz])電力を投入し、実質的に負の自己バイアス電圧を印加する。この第1のエッチング条件によりW膜をエッチングして第1の導電層の端部をテーパ形状とする。第1のエッチング条件でのWに対するエッチング速度は200.39[nm/min.]、Ta₂N₅に対するエッチング速度は80.32[nm/min.]であり、Ta₂N₅に対するWの選択比は約2.5である。また、この第1のエッチング条件によって、Wのテーパ角は、約26°となる。

【0093】この後、図5(B)に示すようにレジストからなるマスク5008を除去せずに第2のエッチング条件に変え、エッチング用ガスにCF₄とC₂H₂を用い、それぞれのガス流量比を30/30[sccm]とし、1[Pa]の圧力でコイル型の電極に500[W]のRF(13.56[MHz])電力を投入してプラズマを生成して約30秒程度のエッチングを行った。基板側(試料ステージ)にも20[W]のRF(13.56[MHz])電力を投入し、実質的に負の自己バイアス電圧を印加する。CF₄とC₂H₂を混合した第2のエッチング条件ではW膜及びTa₂N₅膜とも同程度にエッチングされる。第2のエッチング条件でのWに対するエッチング速度は58.97[nm/min.]、Ta₂N₅に対するエッチング速度は66.43[nm/min.]である。なお、ゲート絶縁膜上に残渣を残すことなくエッチングするためには、10~20[%]程度の割合でエッチング時間を増加させると良い。

【0094】上記第1のエッチング処理では、レジストからなるマスク5008の形状を適したものとすることにより、基板側に印加するバイアス電圧の効果により第1の導電層及び第2の導電層の端部がテーパ形状となる。このテーパ部の角度は15~45°とすればよい。こうして、第1のエッチング処理により第1の導電層と第2の導電層から成る第1の形状の導電層5009~5013(第1の導電層5009a~5013aと第2の導電層5009b~5013b)を形成する。ゲート絶縁膜5005においては、第1の形状の導電層5009~5013で覆われない領域は20~50[nm]程度エッチングされ薄くなった領域が形成される。

【0095】そして、レジストからなるマスク5008を除去せずに第1のドーピング処理を行い、半導体層にn型を付与する不純物元素を添加する(図5(B))。ドーピング処理はイオンドーピング法、若しくはイオン注入法で行えば良い。イオンドーピング法の条件はドーズ量を $1 \times 10^{13} \sim 5 \times 10^{15}$ [atoms/cm²]とし、加速電圧を60~100[keV]として行う。本実施例ではドーズ量を 1.5×10^{15} [atoms/cm²]とし、加速電圧を80[keV]として行った。n型を付与する不純物元素として15族

に属する元素、典型的にはリン(P)または砒素(As)を用いるが、ここではリン(P)を用いた。この場合、第1の形状の導電層5009~5012がn型を付与する不純物元素に対するマスクとなり、自己整合的に高濃度不純物領域5014~5016が形成される。高濃度不純物領域5014~5016には $1 \times 10^{20} \sim 1 \times 10^{21}$ [atoms/cm³]の濃度範囲でn型を付与する不純物元素を添加する。

【0096】続いて、図5(C)に示すようにレジストからなるマスク5008を除去せずに第2のエッチング処理を行う。ここでは、エッチング用ガスにCF₄とC₂H₂とO₂とを用い、それぞれのガス流量比を20/20/20[sccm]とし、1[Pa]の圧力でコイル型の電極に500[W]のRF(13.56[MHz])電力を投入してプラズマを生成してエッチングを行った。基板側(試料ステージ)にも20[W]のRF(13.56[MHz])電力を投入し、実質的に負の自己バイアス電圧を印加する。第2のエッチング処理でのWに対するエッチング速度は124. [nm/min.]、Ta₂N₅に対するエッチング速度は20. [nm/min.]であり、Ta₂N₅に対するWの選択比は6.05である。従って、W膜が選択的にエッチングされる。この第2のエッチングによりWのテーパ角は70°となった。この第2のエッチング処理により第2の導電層5017b~5021bを形成する。一方、第1の導電層5009a~5013aは、ほとんどエッチングされず、第1の導電層5017a~5021aを形成する。

【0097】次いで、第2のドーピング処理を行う。ドーピングは第2の導電層5017b~5020bを不純物元素に対するマスクとして用い、第1の導電層のテーパ部下方の半導体層に不純物元素が添加されるようにドーピングする。本実施例では、不純物元素としてP(リン)を用い、ドーズ量 1.5×10^{14} [atoms/cm²]、電流密度0.5[μA]、加速電圧90[keV]にてプラズマドーピングを行った。こうして、第1の導電層と重なる低濃度不純物領域5022~5024を自己整合的に形成する。この低濃度不純物領域5022~5024へ添加されたリン(P)の濃度は、 $1 \times 10^{17} \sim 5 \times 10^{18}$ [atoms/cm³]であり、且つ、第1の導電層のテーパ部の膜厚に従って緩やかな濃度勾配を有している。なお、第1の導電層のテーパ部と重なる半導体層において、第1の導電層のテーパ部の端部から内側に向かって若干、不純物濃度が低くなっているものの、ほぼ同程度の濃度である。また、高濃度不純物領域5014~5016にも不純物元素が添加される(図6(A))。

【0098】次いで、図6(B)に示すように、フォトリソグラフィ法を用いて、第3のエッチング処理を行う。第3のエッチングを行わない領域には、レジストからなるマスク5025を形成する。この第3のエッチング処理では第1の導電層のテーパ部を部分的にエッチ

ングして、第2の導電層と重なる形状にするために行われる。

【0099】第3のエッチング処理におけるエッチング条件は、エッチングガスとして Cl_2 と SF_6 とを用い、それぞれのガス流量比を $10/50$ [sccm]として第1及び第2のエッチングと同様にICPエッチング法を用いて行う。なお、第3のエッチング処理でのTaNに対するエッチング速度は、 111.2 [nm/min.]であり、ゲート絶縁膜に対するエッチング速度は、 12.8 [nm/min.]である。

【0100】本実施例では、 1.3 [Pa]の圧力でコイル型の電極に 500 [W]のRF (13.56 [MHz])電力を投入してプラズマを生成してエッチングを行った。基板側 (試料ステージ) にも 10 [W]のRF (13.56 [MHz])電力を投入し、実質的に負の自己バイアス電圧を印加する。以上により、第1の導電層 $5026a \sim 5028a$ が形成される。

【0101】上記第3のエッチングによって、第1の導電層 $5026a \sim 5028a$ と重ならない不純物領域 (LDD領域) $5029 \sim 5030$ が形成される。なお、不純物領域 (GOLD領域) 5022 は、第1の導電層 $5017a$ と重なったままである。

【0102】このようにして、本実施例は、第1の導電層 $5026a \sim 5028a$ と重ならない不純物領域 (LDD領域) $5029 \sim 5030$ と、第1の導電層 $5017a$ と重なる不純物領域 (GOLD領域) 5022 を同時に形成することができ、TFT特性に応じた作り分けが可能となる。

【0103】次いで、レジストからなるマスク 5025 を除去した後、ゲート絶縁膜 5005 をエッチング処理する。ここでのエッチング処理は、エッチングガスに CHF_3 を用い、反応性イオンエッチング法 (RIE法)を用いて行う。本実施例では、チャンバー圧力 6.7 [Pa]、RF電力 800 [W]、 CHF_3 ガス流量 35 [sccm]で第3のエッチング処理を行った。これにより、高濃度不純物領域 $5014 \sim 5016$ の一部は露呈し、ゲート絶縁膜 $5005a \sim 5005d$ が形成される。

【0104】次に、新たにレジストからなるマスク 5031 を形成して第3のドーピング処理を行う。この第3のドーピング処理により、pチャネル型TFTの活性層となる半導体層に前記第1の導電型 (n型) とは逆の第2の導電型 (p型) を付与する不純物元素が添加された不純物領域 $5032 \sim 5033$ を形成する。(図3 (C)) 第1の導電層 $5028a$ を不純物元素に対するマスクとして用い、p型を付与する不純物元素を添加して自己整合的に不純物領域を形成する。

【0105】本実施例では、不純物領域 $5032 \sim 5033$ はジボラン (B_2H_6) を用いたイオンドープ法で形成する。なお、この第3のドーピング処理の際には、nチャネル型TFTを形成する半導体層はレジストからな

るマスク 5031 で覆われている。第1のドーピング処理及び第2のドーピング処理によって、不純物領域 $5032 \sim 5033$ にはそれぞれ異なる濃度でリンが添加されているが、そのいずれの領域においてもp型を付与する不純物元素の濃度が $2 \times 10^{20} \sim 2 \times 10^{21}$ [atoms/cm³]となるようにドーピング処理することにより、pチャネル型TFTのソース領域およびドレイン領域として機能するために何ら問題は生じない。

【0106】以上までの工程でそれぞれの半導体層に不純物領域が形成される。なお、本実施例では、ゲート絶縁膜をエッチングした後で不純物 (B) のドーピングを行う方法を示したが、ゲート絶縁膜をエッチングしないで不純物のドーピングを行っても良い。

【0107】次いで、レジストからなるマスク 5031 を除去して図7 (A) に示すように第1の層間絶縁膜 5034 を形成する。この第1の層間絶縁膜 5034 としては、プラズマCVD法またはスパッタ法を用い、厚さを $100 \sim 200$ [nm]として珪素を含む絶縁膜で形成する。本実施例では、プラズマCVD法により膜厚 150 [nm]の酸化窒化珪素膜を形成した。勿論、第1の層間絶縁膜 5034 は酸化窒化珪素膜に限定されるものでなく、他の珪素を含む絶縁膜を単層または積層構造として用いても良い。

【0108】次いで、それぞれの半導体層に添加された不純物元素を活性化処理する工程を行う。この活性化処理はファーネスアニール炉を用いる熱アニール法で行う。熱アニール法としては、酸素濃度が 1 [ppm]以下、好ましくは 0.1 [ppm]以下の窒素雰囲気中で $400 \sim 700$ [°C]、代表的には $500 \sim 550$ [°C]で行えばよく、本実施例では 550 [°C]、4時間の熱処理で活性化処理を行った。なお、熱アニール法の他に、レーザーアニール法、またはラピッドサーマルアニール法 (RTA法) を適用することができる。

【0109】なお、本実施例では、上記活性化処理と同時に、結晶化の際に触媒として使用したNiが高濃度のPを含む不純物領域 (5014 、 5015 、 5032) にゲッターリングされ、主にチャネル形成領域となる半導体層中のニッケル濃度が低減される。このようにして作製したチャネル形成領域を有するTFTはオフ電流値が下がり、結晶性が良いことから高い電界効果移動度が得られ、良好な特性を達成することができる。

【0110】また、第1の層間絶縁膜 5034 を形成する前に活性化処理を行っても良い。ただし、用いた配線材料が熱に弱い場合には、本実施例のように配線等を保護するため層間絶縁膜 5034 (シリコンを主成分とする絶縁膜、例えば窒化珪素膜) を形成した後で活性化処理を行うことが好ましい。

【0111】その他、活性化処理を行った後でドーピング処理を行い、第1の層間絶縁膜 5034 を形成させても良い。

【0112】さらに、3～100〔%〕の水素を含む雰囲気中で、300～550〔℃〕で1～12時間の熱処理を行い、半導体層を水素化する工程を行う。本実施例では水素を約3〔%〕の含む窒素雰囲気中で410〔℃〕、1時間の熱処理を行った。この工程は層間絶縁膜5034に含まれる水素により半導体層のダングリングボンドを終端する工程である。水素化の他の手段として、プラズマ水素化（プラズマにより励起された水素を用いる）を行っても良い。

【0113】また、活性化処理としてレーザーアニール法を用いる場合には、上記水素化を行った後、エキシマレーザーやYAGレーザー等のレーザー光を照射することが望ましい。

【0114】続いて、図7（B）に示すように、有機樹脂等からなる平坦化膜5035を形成する。本実施例では、平坦化に優れたアクリルを用いて、TFTによって形成される基板上の段差を十分に平坦化しうる膜厚で形成する。好ましくは、平坦化膜の膜厚は1～5〔 μm 〕（さらに好ましくは2～4〔 μm 〕）とすれば良い。

【0115】次いで、第1の同感絶縁膜5034および平坦化膜5035にコンタクトホールを形成し、配線5036～5041を形成する。本実施例においては、膜厚50〔nm〕のTi膜と、膜厚500〔nm〕の合金膜（AlとTiとの合金膜）との積層膜をパターンニングして形成するが、他の導電膜を用いても良い。またこのとき、配線と同材料で、ゲート信号線5042も同時に形成される。

【0116】次いで、プラズマCVD法により、珪素を含む絶縁材料や有機樹脂からなる第2の層間絶縁膜5043を形成する。珪素を含む絶縁材料としては、酸化珪素、窒化珪素、酸化窒化珪素を用いることができ、また有機樹脂としては、ポリイミド、ポリアミド、アクリル、BCB（ベンゾシクロブテン）などを用いることができる。なお、酸化窒化珪素膜の膜厚として好ましくは1～5〔 μm 〕（さらに好ましくは2～4〔 μm 〕）とすればよい。酸化窒化珪素膜は、膜自身に含まれる水分が少ないためにEL素子の劣化を抑える上で有効である。

【0117】その後、配線5037に達するコンタクトホールを形成し、光電変換素子のカソード電極5044を形成する。本実施例においては、この金属膜にスパッタ法によるアルミニウムを用いているが、その他の金属、例えばTi、Ta、W、Cu等を用いることができる。また、単層でなく、複数の金属膜からなる積層構造によって形成しても良い。

【0118】次に、水素を含有する非晶質珪素膜を成膜、パターンニングし、光電変換層5045を形成する。続いて、透明導電膜からなるカソード電極5046を、同様に全面成膜の後、パターンニングを行って形成する。

【0119】次に、図8（A）に示すように、第3の層間絶縁膜5047を形成する。第3の層間絶縁膜504

7としては、ポリイミド、ポリアミド、ポリイミドアミド、アクリル等の樹脂を用いることで、平坦な表面を得ることが出来る。本実施例においては、膜厚0.7〔 μm 〕のポリイミド膜を形成した。

【0120】次いで、配線5040に達するコンタクトホールの形成後、透明導電膜を80～120〔nm〕の厚さで形成し、パターニングすることによって画素電極5048を形成する（図8（A））。なお、本実施例では、画素電極5048には、酸化インジウム・スズ（ITO）膜や酸化インジウムに2～20〔%〕の酸化亜鉛（ZnO）を混合した透明導電膜を用いる。

【0121】次に、EL層5049を蒸着法により形成し、更に蒸着法により陰極電極（MgAg電極）5050を形成する。このときEL層5049及び陰極電極5050を形成するに先立って画素電極5048に対して熱処理を施し、水分を完全に除去しておくことが望ましい。なお、本実施例ではEL素子の陰極電極としてMgAg電極を用いているが、公知の他の材料であっても良い。

【0122】なお、EL層5049としては、公知の材料を用いることができる。本実施例では正孔輸送層（Hole transporting layer）及び発光層（Emitting layer）でなる2層構造をEL層とするが、正孔注入層、電子注入層若しくは電子輸送層のいずれかを設ける場合もある。このように組み合わせは既に様々な例が報告されており、そのいずれの構成を用いても構わない。

【0123】本実施例では正孔輸送層としてポリフェニレンビニレンを蒸着法により形成する。また、発光層としては、ポリビニルカルバゾールに1, 3, 4-オキサジアゾール誘導体のPBDを30～40〔%〕分子分散させたものを蒸着法により形成し、緑色の発光中心としてクマリン6を約1〔%〕添加している。

【0124】また、EL層5049を酸素や水分から保護するために、保護膜等を形成することが望ましい。本実施例ではパッシベーション膜5051として300〔nm〕厚の窒化珪素膜を設ける。このパッシベーション膜5051も陰極電極5050形成の後に大気解放しないで連続的に形成しても構わない。

【0125】なお、EL層5049の膜厚は10～400〔nm〕（典型的には60～150〔nm〕）、陰極電極5050の厚さは80～200〔nm〕（典型的には100～150〔nm〕）とすれば良い。

【0126】こうして図8（A）に示すような構造のELモジュールが完成する。なお、本実施例におけるELモジュールの作製工程においては、回路の構成および工程の関係上、ゲート電極を形成している材料であるTa、Wによってソース信号線を形成し、ソース、ドレイン電極を形成している配線材料であるAlによってゲート信号線を形成しているが、異なる材料を用いても良い。

【0127】図16は、本実施例にて説明した工程に従って作成される自発光装置における、画素部の回路配置の例である。各部に付されている番号は、等価回路である図4に付したものと同一である。図5～図8中 α - α' 、 β - β' 、 γ - γ' とあるのは、本図16中の同符号部分の断面に該当する。

【0128】本実施例によって、TFTからなる駆動回路と、図8(A)に示した画素部とを同一基板上に形成することができる。

【0129】なお、本実施例においては、EL素子の素子構成から下面出射（光の出射方向はTFT基板側である）となるためスイッチング用TFT413にnチャネル型TFT、EL駆動用TFT414にpチャネル型TFTを用いるという構成を示したが、本実施例は、好ましい形態にすぎず、これに限られる必要はない。

【0130】なお、本実施例においては、画素電極（陽極）5048上にEL層5049を形成させた後、陰極電極5050を形成させる構造を示したが、画素電極（陰極）上にEL層及び陽極を形成させる構造としても良い。また、この時、スイッチング用TFTおよびEL駆動用TFTは、本実施例で説明した低濃度不純物領域（LDD領域）を有するnチャネル型TFTで形成するのが望ましい。

【0131】ただし、この場合には、これまで説明した下面出射（ELからの出射光がTFTを形成しているアクティブマトリクス基板側に照射される）と異なり、上面出射の形態をとる。一例を図17に示す。この場合は、EL素子の発光方向に合わせて、光電変換素子の受光部もまた、本実施例とは逆の構造とする。さらに工程の順序も、第2の層間絶縁膜5043の形成後、先にEL層を形成し、続いて第3の層間絶縁膜5047を形成し、その後で光電変換素子を形成する工程順序をとる。

【0132】【実施例6】図13を参照する。本発明の輝度補正機能を有する自発光装置においては、その表示装置がアナログ映像信号に対応したものである場合にも容易に適用が可能である。そのような場合には、補正回路1305から出力される第2の映像信号（デジタル映像信号）は、D/A変換回路1314によってアナログ映像信号へと変換され、アナログ映像信号に対応した表示装置1308へと入力されて画像の表示が行われる。

【0133】図13における表示装置1308におけるソース信号線駆動回路の回路図を図14(B)に示す。ここでは、アナログ映像信号に対応した表示装置を例としている。ソース信号線駆動回路は、シフトレジスタ（SR）1411、レベルシフト1412、バッファ1413、サンプリングスイッチ1414等を有する。1415は画素、1416は、図13に示した輝度補正装置、1417はD/A変換回路である。

【0134】各部の動作について説明する。クロック信号（CLK）、スタートパルス（SP）にしたがって、

シフトレジスタからサンプリングパルスが順次出力される。その後、レベルシフトによってパルスの電圧振幅が拡大され、バッファを経由して出力される。デジタル映像信号は、輝度補正装置においてそれぞれ補正が行われ、D/A変換回路においてアナログ映像信号へと変換され、ビデオ信号線へと入力される。その後サンプリングパルスのタイミングにしたがってサンプリングスイッチが開き、ビデオ信号線に入力されているアナログ映像信号をサンプリングし、電圧情報を画素に書き込むことによって画像の表示を行う。

【0135】なお、図13に示した例では、輝度補正装置は表示装置の外部に設けられているが、実施例4で述べたとおり、これらを同一基板上に一体形成しても良い。

【0136】【実施例7】本発明において、三重項励起子からの燐光を発光に利用できるEL材料を用いることで、外部発光量子効率を飛躍的に向上させることができる。これにより、EL素子の低消費電力化、長寿命化、および軽量化が可能になる。

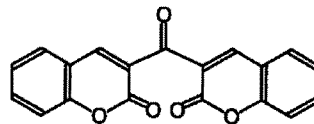
【0137】ここで、三重項励起子を利用し、外部発光量子効率を向上させた報告を示す。

(T.Tsutsui, C.Adachi, S.Saito, Photochemical Processes in Organized Molecular Systems, ed.K.Honda, (Elsevier Sci.Pub., Tokyo,1991) p.437.)

上記の論文により報告されたEL材料（クマリン色素）の分子式を以下に示す。

【0138】

【化1】

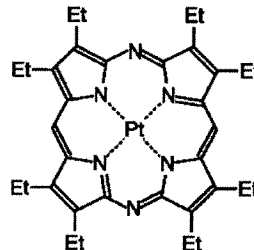


【0139】(M.A.Baldo, D.F.O'Brien, Y.You, A.Shoustikov, S.Sibley, M.E.Thompson, S.R.Forrest, Nature 395 (1998) p.151.)

上記の論文により報告されたEL材料（Pt錯体）の分子式を以下に示す。

【0140】

【化2】



【0141】(M.A.Baldo, S.Lamansky, P.E.Burrows, M.E.Thompson, S.R.Forrest, Appl.Phys.Lett., 75 (19

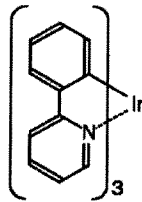
99) p.4.)

(T.Tsutsui, M.-J.Yang, M.Yahiro, K.Nakamura, T.Watanabe, T.Tsuji, Y.Fukuda, T.Wakimoto, S.Mayaguchi, Jpn.Appl.Phys., 38 (12B) (1999) L1502.)

上記の論文により報告されたEL材料(Ir錯体)の分子式を以下に示す。

【0142】

【化3】



【0143】以上のように三重項励起子からの燐光発光を利用できれば原理的には一重項励起子からの蛍光発光を用いる場合より3~4倍の高い外部発光量子効率の実現が可能となる。なお、本実施例の構成は、実施例1~実施例6のいずれの構成とも自由に組みあわせて実施することが可能である。

【0144】[実施例8]本発明の自発光装置を応用したELディスプレイは、自発光型であるため液晶ディスプレイに比べて明るい場所での視認性に優れ、しかも視野角が広い。従って、様々な電子機器の表示部として用いることが出来る。

【0145】なお、ELディスプレイには、パソコン用表示装置、TV放送受信用表示装置、広告表示用表示装置等の全ての情報表示用表示装置が含まれる。また、その他にも様々な電子機器の表示部に本発明の自発光装置を用いることが出来る。

【0146】その様な本発明の電子機器としては、ビデオカメラ、デジタルカメラ、ゴーグル型表示装置(ヘッドマウントディスプレイ)、ナビゲーションシステム、音響再生装置(カーオーディオ、オーディオコンボ等)、ノート型パーソナルコンピュータ、ゲーム機器、携帯情報端末(モバイルコンピュータ、携帯電話、携帯型ゲーム機または電子書籍等)、記録媒体を備えた画像再生装置(具体的にはデジタルビデオディスク(DVD)等の記録媒体を再生し、その画像を表示するディスプレイを備えた装置)などが挙げられる。特に、斜め方向から見ることの多い携帯情報端末は視野角の広さが重要視されるため、ELディスプレイを用いることが望ましい。それら電子機器の具体例を図11および図12に示す。

【0147】図11(A)はELディスプレイであり、筐体3301、支持台3302、表示部3303等を含む。本発明の自発光装置は表示部3303にて用いることが出来る。ELディスプレイは自発光型であるためバックライトが必要なく、液晶ディスプレイよりも薄い表示部とすることが出来る。

【0148】図11(B)はビデオカメラであり、本体3311、表示部3312、音声入力部3313、操作スイッチ3314、バッテリー3315、受像部3316等を含む。本発明の自発光装置は表示部3312にて用いることが出来る。

【0149】図11(C)はヘッドマウントELディスプレイの一部(右片側)であり、本体3321、信号ケーブル3322、頭部固定バンド3323、表示部3324、光学系3325、表示装置3326等を含む。本発明の自発光装置は表示装置3326にて用いることが出来る。

【0150】図11(D)は記録媒体を備えた画像再生装置(具体的にはDVD再生装置)であり、本体3331、記録媒体(DVD等)3332、操作スイッチ3333、表示部(a)3334、表示部(b)3335等を含む。表示部(a)3334は主として画像情報を表示し、表示部(b)3335は主として文字情報を表示するが、本発明の自発光装置はこれら表示部(a)3334、表示部(b)3335にて用いることが出来る。なお、記録媒体を備えた画像再生装置には家庭用ゲーム機器なども含まれる。

【0151】図11(E)はゴーグル型表示装置(ヘッドマウントディスプレイ)であり、本体3341、表示部3342、アーム部3343を含む。本発明の自発光装置は表示部3342にて用いることが出来る。

【0152】図11(F)はパーソナルコンピュータであり、本体3351、筐体3352、表示部3353、キーボード3354等を含む。本発明の自発光装置は表示部3353にて用いることが出来る。

【0153】なお、将来的にEL材料の発光輝度が高くなれば、出力した画像情報を含む光をレンズ等で拡大投影してフロント型あるいはリア型のプロジェクターに用いることも可能となる。

【0154】また、上記電子機器はインターネットやCATV(ケーブルテレビ)などの電子通信回線を通じて配信された情報を表示することが多くなり、特に動画情報を表示する機会が増してきている。EL材料の応答速度は非常に高いため、ELディスプレイは動画表示に好ましい。

【0155】また、ELディスプレイは発光している部分が電力を消費するため、省消費電力化のためには発光部分が極力少なくなるように情報を表示することが望ましい。従って、携帯情報端末、特に携帯電話や音響再生装置のような文字情報を主とする表示部にELディスプレイを用いる場合には、非発光部分を背景として文字情報を発光部分で形成するように駆動することが望ましい。

【0156】図12(A)は携帯電話であり、本体3401、音声出力部3402、音声入力部3403、表示部3404、操作スイッチ3405、アンテナ3406

を含む。本発明の自発光装置は表示部3404にて用いることが出来る。なお、表示部3404は黒色の背景に白色の文字を表示することで携帯電話の消費電力を抑えることが出来る。

【0157】図12(B)は音響再生装置、具体的にはカーオーディオであり、本体3411、表示部3412、操作スイッチ3413、3414を含む。本発明の自発光装置は表示部3412にて用いることが出来る。また、本実施例では車載用オーディオを示すが、携帯型や家庭用の音響再生装置に用いても良い。なお、表示部3414は黒色の背景に白色の文字を表示することで消費電力を抑えられる。これは携帯型の音響再生装置において特に有効である。

【0158】図12(C)はデジタルカメラであり、本体3501、表示部(A)3502、接眼部3503、操作スイッチ3504、表示部(B)3505、バッテリー3506を含む。本発明の電気光学装置は、表示部(A)3502、表示部(B)3505にて用いることが出来る。

【0159】以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電子機器に用いることが可能である。また、本実施例の電子機器は実施例1～実施例7に示したいずれの構成を適用しても良い。

【発明の効果】本発明の自発光装置によって、EL素子の劣化あるいは他の原因による輝度の不足を回路側で補正し、輝度ムラのない均一な画面の表示が可能な自発光装置を提供することが出来る。

【図面の簡単な説明】

【図1】 本発明の輝度検出、補正機能を有する自発光装置のブロック図。

【図2】 加算処理による補正方法を示した図。

【図3】 減算処理による補正方法を示した図。

【図4】 本発明の輝度検出、補正機能を有する自発光装置における表示装置のブロック図および画素部の等価回路図。

【図5】 アクティブマトリクス型自発光装置の作成工程例を示した図。

【図6】 アクティブマトリクス型自発光装置の作成工程例を示した図。

【図7】 アクティブマトリクス型自発光装置の作成工程例を示した図。

【図8】 アクティブマトリクス型自発光装置の作成工程例を示した図。

【図9】 時間階調方式について説明した図。

【図10】 自発光素子の劣化による画面の輝度ムラの発生を示した図。

【図11】 本発明の輝度検出、補正機能を有する自発光装置の電子機器への応用例を示した図。

【図12】 本発明の輝度検出、補正機能を有する自発光装置の電子機器への応用例を示した図。

【図13】 本発明の輝度検出、補正機能を有する自発光装置のブロック図。

【図14】 本発明の輝度検出、補正機能を有する自発光装置における、デジタル映像信号入力方式およびアナログ信号入力方式のソース信号線駆動回路のブロック図。

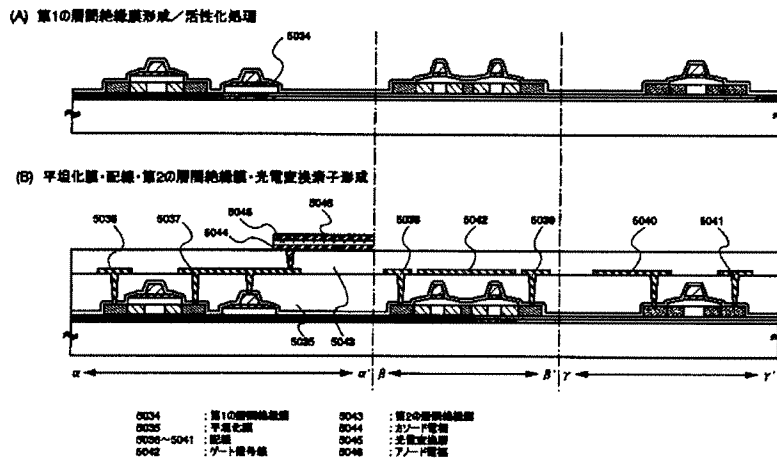
【図15】 従来の自発光装置の一例を示した図。

【図16】 本発明の輝度検出、補正機能を有する自発光装置における画素部の配線パターンの一例を示した図。

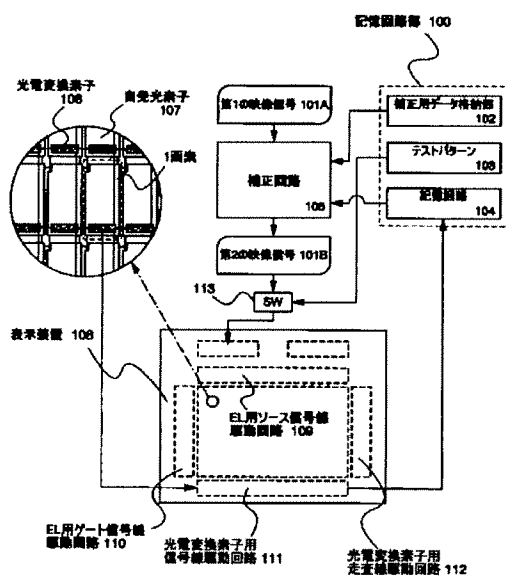
【図17】 アクティブマトリクス型自発光装置の作成工程例を示した図。

【図18】 特願2000-273139に記載の、補正機能を有する自発光装置のブロック図。

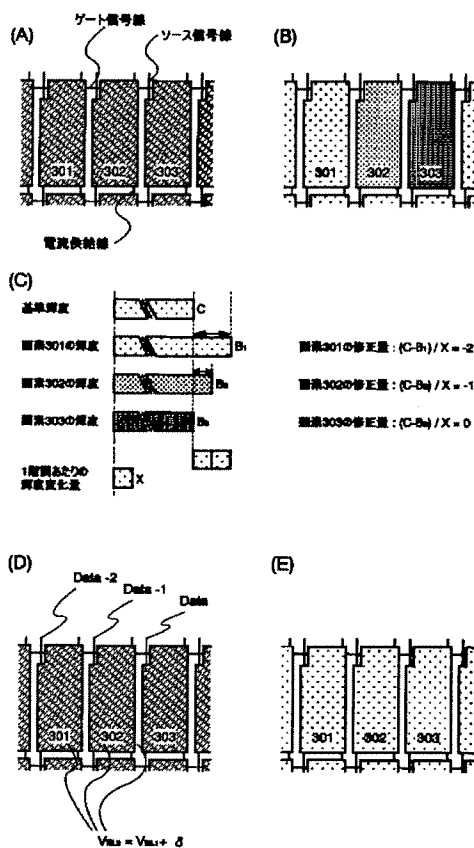
【図7】



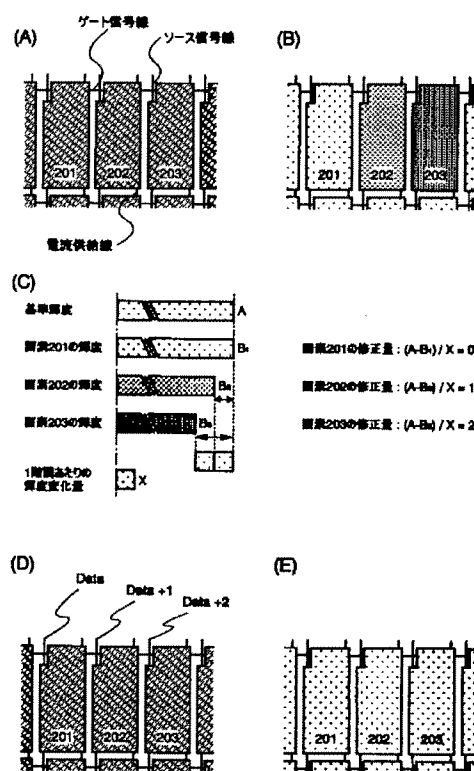
【例 1】



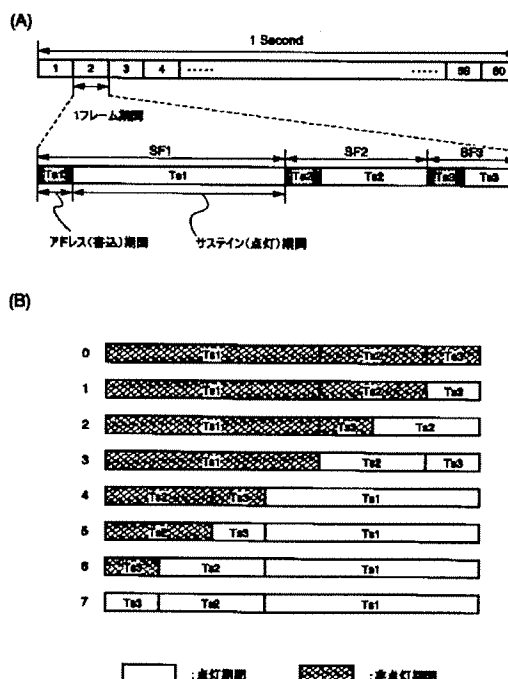
【图3】



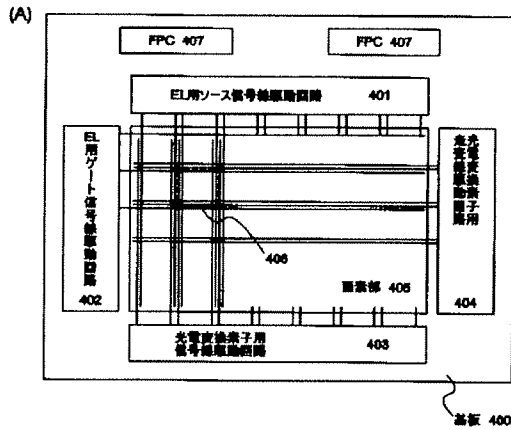
【図2】



【図9】

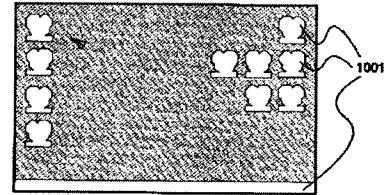


【図4】



【図10】

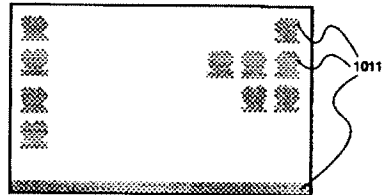
(A) 静止画像表示時



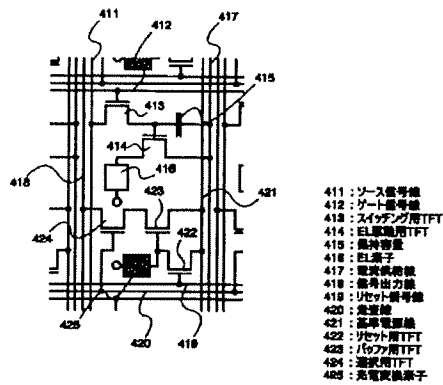
(B) 黒表示時（発光素子は消灯状態）



(C) 白表示時（発光素子は点灯状態）

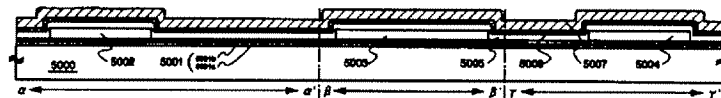


(B)

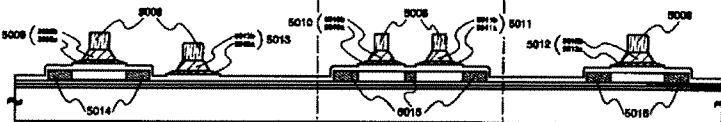


【図5】

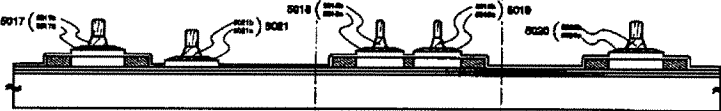
(A) 半導体層の形成／ゲート絶縁膜の形成／第1の導電膜と第2の導電膜の形成



(B) 第1のエッチング処理／第1のドーピング処理

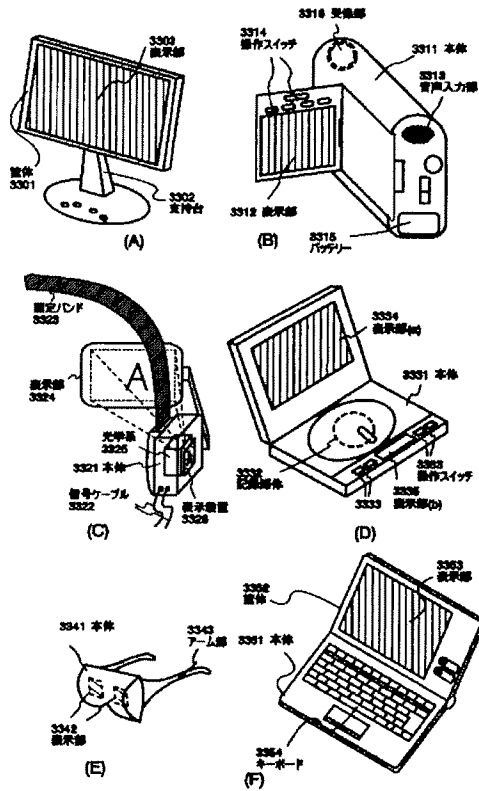


(C) 第2のエッチング処理

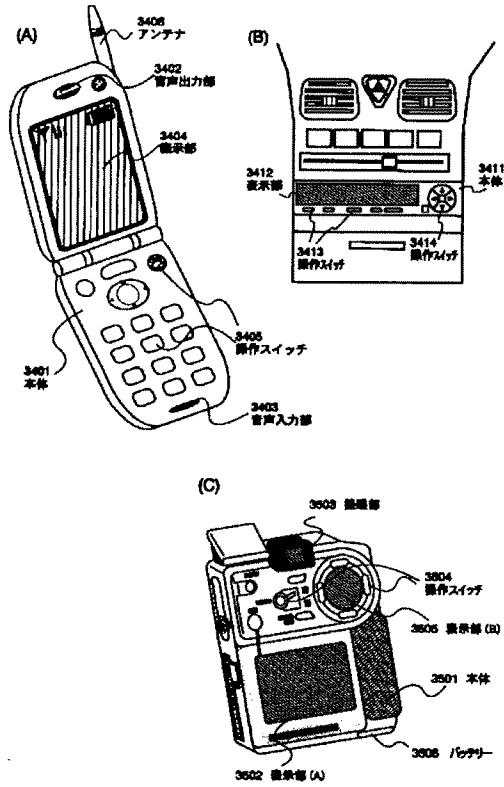


5000 : 基板	5006 : 第1の導電膜	5014~5016 : n型の高抵抗不純物領域
5001 : 下地膜	5007 : 第2の導電膜	5017~5021 : 第2の導電膜
5002~5004 : 半導体層	5008 : レジストマスク	
5005 : ゲート絶縁膜	5009~5013 : 第1の導電膜	

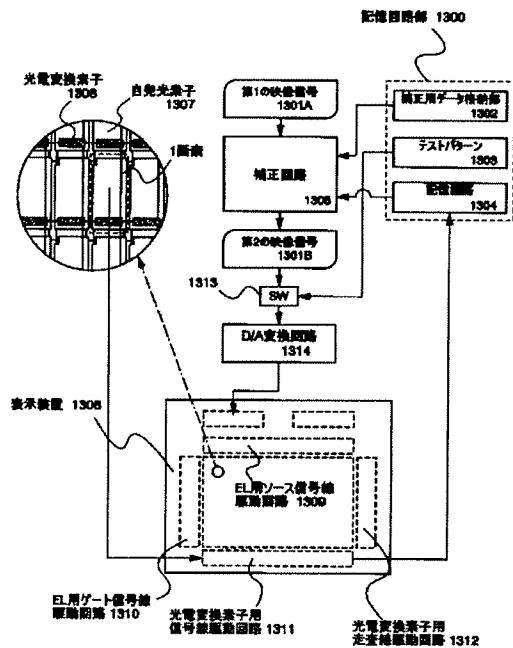
【図11】



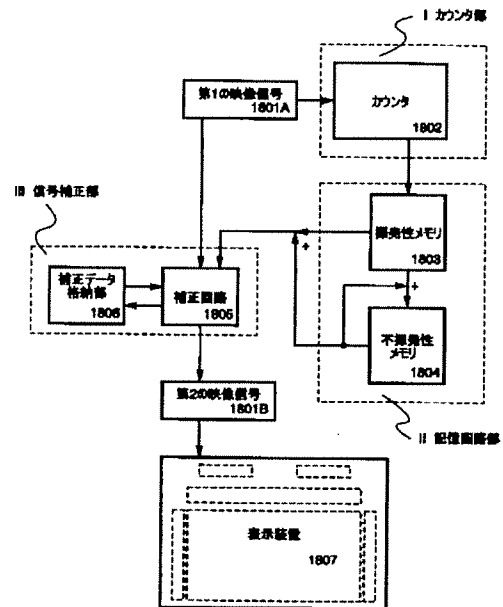
【図12】



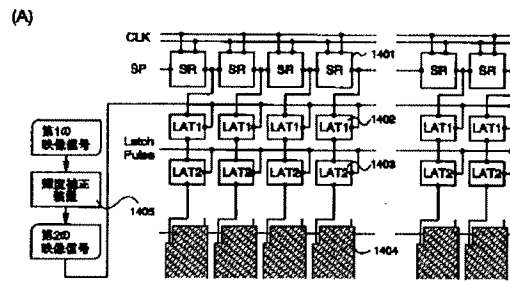
【図13】



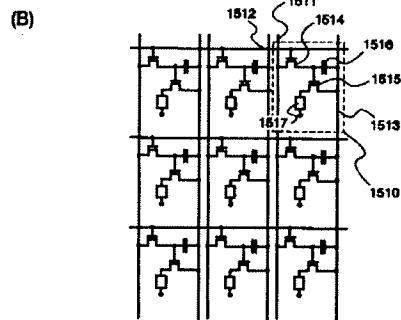
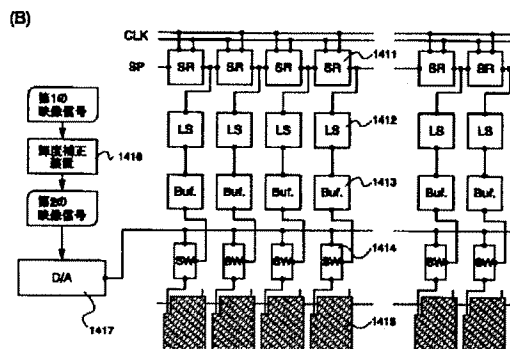
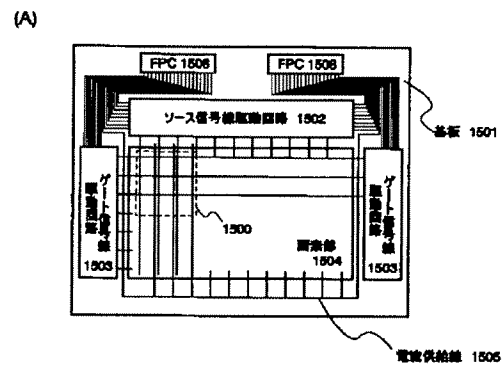
【図18】



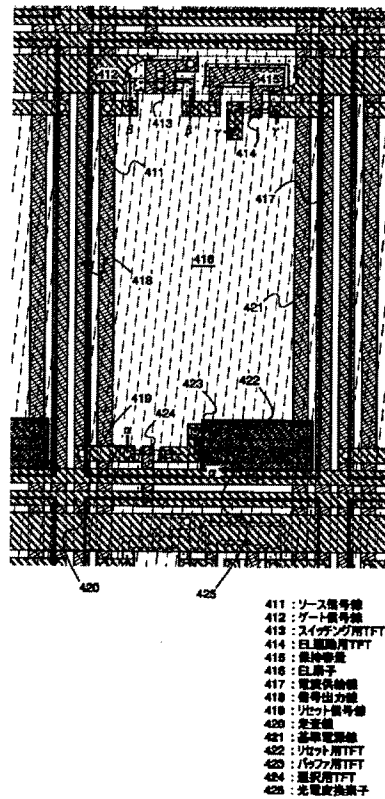
【図14】



【図15】



【図16】



フロントページの続き

(51) Int. Cl. ⁷	識別記号	F I	備考 (参考)
G 0 9 G 3/20	6 7 0 6 8 0	G 0 9 G 3/20	6 7 0 J 6 8 0 H
H 0 5 B 33/08 33/14		H 0 5 B 33/08 33/14	A